

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
013217317 **Image available**
WPI Acc No: 2000-389191/200034
XRPX Acc No: N00-291438

Active matrix liquid crystal display device, e.g. for high definition image displays; has two thin film transistors on substrate, each with three impurity regions, one overlapping gate electrode

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEL SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: YAMAZAKI S

Number of Countries: 028 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1005093	A2	20000531	EP 99123018	A	19991119	200034 B
JP 2000223714	A	20000811	JP 99331794	A	19991122	200044
CN 1258103	A	20000628	CN 99120486	A	19991125	200050
US 6365917	B1	20020402	US 99440633	A	19991116	200226
US 20020134983	A1	20020926	US 99440663	A	19991116	200265
			US 200279512	A	20020222	

Priority Applications (No Type Date): JP 98333665 A 19981125

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 1005093	A2	E	43	H01L-029/786	

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT
LI LT LU LV MC MK NL PT RO SE SI

JP 2000223714	A	23	H01L-029/786
CN 1258103	A		H01L-029/78
US 6365917	B1		H01L-029/04
US 20020134983	A1		G02F-001/136 Div ex application US 99440663

Abstract (Basic): EP 1005093 A2

NOVELTY - The device has two thin film transistors on a substrate.

Each transistor has a semiconductor layer with a channel forming region and three impurity regions, with the third region (35) in the middle. A gate electrode is arranged next to the semiconductor layer with a gate insulating film in between the layers. The second impurity region (34) is located in the semiconductor layer to overlap the gate electrode with the gate insulating film between the layers.

DETAILED DESCRIPTION - A concentration of an impurity element included in the second impurity region has a concentration gradient that increases as distance from the third impurity region. The lengths of the second impurity region formed in each transistor are different. An **INDEPENDENT CLAIM** is included for electronic equipment that use the device.

USE - For high definition image displays.

ADVANTAGE - Device is more reliable than a MOSFET.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-section of the device.

first gate wiring (25)

second gate wiring (26)
active layer (27)
source wiring (28)
drain electrode (29)
pixel electrode (30)
transparent conductive film (31)
insulating film (32)
insulating resin film (33)
second impurity region (34)
third impurity region, in between first two impurity regions (35)
length of third impurity region (WG3)
pp; 43 DwgNo 2C/23

Title Terms: ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; DEVICE; HIGH; DEFINE
; IMAGE; DISPLAY; TWO; THIN; FILM; TRANSISTOR; SUBSTRATE; THREE;
IMPURE; REGION; ONE; OVERLAP; GATE; ELECTRODE

Derwent Class: P81; U12; U13; U14

International Patent Class (Main): G02F-001/136; H01L-029/04; H01L-029/78;
H01L-029/786

International Patent Class (Additional): G02F-001/135; G02F-001/1365;
H01L-021/336; H01L-021/8234; H01L-027/00; H01L-027/01; H01L-027/08;
H01L-027/088; H01L-027/092; H01L-027/12; H01L-031/20; H01L-031/36;
H01L-031/376; H01L-031/392

File Segment: EPI; EngPI

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 29/78

H01L 27/00

[12] 发明专利申请公开说明书

[21] 申请号 99120486.7

[43] 公开日 2000 年 6 月 28 日

[11] 公开号 CN 1258103A

[22] 申请日 1999.11.25 [21] 申请号 99120486.7

[30] 优先权

[32] 1998.11.25 [33] JP [31] 333665/1998

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张志国

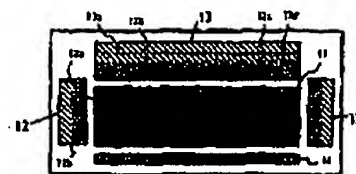
权利要求书 4 页 说明书 29 页 附图页数 21 页

[54] 发明名称 半导体器件

[57] 摘要

为了实现更高可靠性 TFT 和高可靠性半导体器件, 本发明的 NIFT 在半导体层中具有沟道形成区、n 型第一、第二和第三杂质区。第二杂质区是与栅极的端部交叠的低浓度杂质区且栅绝缘膜置于第二杂质区与栅极之间, 并且第二杂质区的杂质浓度从沟道形成区向第一杂质区逐渐增高。而且, 第三杂质区是不与栅极交叠的低浓度杂质区。

另外, 相同衬底上的多个 NIFTs 应该分别具有不同的第二杂质区长度, 这取决于工作电压的差别。即, 当第二 TFT 的工作电压高于第一 TFT 的工作电压时, 在第二 TFT 上的第二杂质区的长度比在第一 TFT 上的长。



ISSN 1008-4274

知识产权出版社出版

权利要求书

- 1、一种包括在衬底上的第一和第二 TFTs 的半导体器件，所述第一和所述第二 TFTs 各包括：
- 5 具有沟道形成区、第一杂质区、第二杂质区、以及形成在所述第一杂质区和所述第二杂质区之间的第三杂质区的半导体层；和
- 邻近所述半导体层并有栅绝缘膜置于其间的栅极，
- 其中所述第二杂质区位于所述半导体层中，以便与所述栅极交叠且所述栅绝缘膜置于其间，
- 10 其中包含在所述第二杂质区中的杂质元素的浓度呈现随着与所述第三杂质区的距离减小而增加的浓度梯度，以及
- 其中形成在所述第一 TFT 中的第二杂质区的长度与形成在所述第二 TFT 中的第二杂质区的长度不同。
- 2、根据权利要求 1 的器件，其中在所述栅极一侧和所述栅极绝缘膜之间形
- 15 成的角度为 3° 到 40° 。
- 3、根据权利要求 1 的器件，其中所述第一杂质区、所述第二杂质区和所述第三杂质区包括元素周期表中的 15 族元素，和
- 其中所述第一杂质区包含元素周期表中的 15 族元素，其浓度大于所述第二杂质区和所述第三杂质区中的浓度。
- 20 4、根据权利要求 1 的器件，其中所述半导体器件是 EL 显示器件。
- 5、电子设备，其中所述电子设备使用根据权利要求 1 的半导体器件。
- 6、根据权利要求 5 的电子设备，其中所述电子设备选自：视频摄像机，数字摄像机，投影仪，投影式电视机，防护镜式显示器，头上安装型显示器，用于飞行器的航空系统，放音器件，记录型个人计算机，博弈设备，便携式信息
- 25 终端，可移动式计算机，蜂窝式电话，手提博弈装置，电子笔记本，和配有记录介质的成像器件。
- 7、一种包括在衬底上的第一和第二 NTFTs 的半导体器件，所述第一和所述第二 NTFTs 各包括：
- 具有沟道形成区、第一杂质区、第二杂质区、以及形成在所述第一杂质区
- 30 和所述第二杂质区之间的第三杂质区的半导体层；和

邻近所述半导体层并有栅绝缘膜置于其间的栅极，

其中所述第二杂质区位于所述半导体层中，以便与所述栅极交叠且所述栅绝缘膜置于其间，

其中包含在所述第二杂质区中的元素周期表中的 15 族元素的浓度呈现随着
5 与所述第三杂质区的距离减小而增加的浓度梯度，以及

其中形成在所述第一 NTFT 中的第二杂质区的长度与形成在所述第二 NTFT 中的第二杂质区的长度不同。

8、根据权利要求 7 的器件，其中在所述栅极一侧和所述栅极绝缘膜之间形成的角度为 3° 到 40° 。

10 9、根据权利要求 7 的器件，其中所述第一杂质区、所述第二杂质区和所述第三杂质区包括所述周期表中的 15 族元素，和

其中所述第一杂质区包括元素周期表中 15 族元素，其浓度比所述第二杂质区和所述第三杂质区中的浓度大。

10、根据权利要求 7 的器件，其中所述半导体器件为 EL 显示器件。

15 11、电子设备，其中所述电子设备使用根据权利要求 10 的半导体器件。

12、根据权利要求 7 的电子设备，其中所述电子设备选自：视频摄像机，
数字摄像机，投影仪，投影式电视机，防护镜式显示器，头上安装型显示器，
用于飞行器的航空系统，放音器件，记录型个人计算机，博弈设备，便携式信息
20 终端，可移动式计算机，蜂窝式电话，手提博弈装置，电子笔记本，和配有
记录介质的成像器件。

13、一种包括衬底上的第一和第二 NTFTs 的半导体器件，所述第一和所述
第二 NTFTs 各包括：

具有沟道形成区、第一杂质区、第二杂质区以及形成在所述第一杂质区和
所述第二杂质区之间的第三杂质区的半导体层；和

25 邻近所述半导体层并有栅绝缘膜置于其间的栅极，

其中所述第二杂质区位于所述半导体层中，以便与所述栅极交叠且所述栅绝缘膜置于其间，

其中包含在所述第二杂质区中的元素周期表中的 15 族元素的浓度呈现随着
与所述第三杂质区的距离减小而增加的浓度梯度，

30 其中形成在所述第一 NTFT 中的第二杂质区的长度与形成在所述第二 NTFT

中的第二杂质区的长度不同, 和

其中所述第二 NTFT 的工作电压大于所述第一 NTFT 的工作电压。

14、根据权利要求 13 的器件, 其中在所述栅极一侧和所述栅极绝缘膜之间形成的角度为 3° 到 40° 。

5 15、根据权利要求 13 的器件, 其中所述第一杂质区、所述第二杂质区和所述第三杂质区包括所述周期表中的 15 族元素, 和

其中所述第一杂质区包括的周期表中的 15 族元素的浓度比所述第二杂质区和所述第三杂质区中的浓度高。

16、根据权利要求 13 的器件, 其中所述半导体器件是 EL 显示器件。

10 17、电子设备, 其中所述电子设备使用根据权利要求 13 的半导体器件。

18、根据权利要求 17 的电子设备, 其中所述电子设备选自: 视频摄像机, 数字摄像机, 投影仪, 投影式电视机, 防护镜式显示器, 头上安装型显示器, 用于飞行器的航空系统, 放音器件, 记录型个人计算机, 博弈设备, 便携式信息终端, 可移动式计算机, 蜂窝式电话, 手提博弈装置, 电子笔记本, 和配有
15 记录介质的成像器件。

19、一种包括在衬底上的第一和第二 NTFTs 的半导体器件, 所述第一和所述第二 NTFTs 各包括:

具有沟道形成区、第一杂质区、第二杂质区、以及形成在所述第一杂质区和所述第二杂质区之间的第三杂质区的半导体层; 和

20 邻近所述半导体层并有栅绝缘膜置于其间的栅极,

其中所述第二杂质区位于所述半导体层中, 以便与所述栅极交叠且所述栅绝缘膜置于其间, 与所述第二杂质区交叠的一部分所述栅极为锥形, 和

其中形成在所述第一 NTFT 中的第二杂质区的长度与形成在所述第二 NTFT 中的第二杂质区的长度不同。

25 20、根据权利要求 19 的器件, 其中所述栅极一侧和所述栅极绝缘膜之间形成的角度为 3° 到 40° 。

21、根据权利要求 19 的器件, 其中所述第一杂质区、所述第二杂质区和所述第三杂质区包含所述周期表中的 15 族元素, 和

30 其中所述第一杂质区包含的周期表中的 15 族元素的浓度比所述第二杂质区和所述第三杂质区中的浓度高。

22、根据权利要求19的器件，其中所述半导体器件为EL显示器件。

23、电子设备，其中所述电子设备使用根据权利要求19的半导体器件。

24、根据权利要求23的电子设备，其中所述电子设备选自：视频摄像机，数字摄像机，投影仪，投影式电视机，防护镜式显示器，头上安装型显示器，
5 用于飞行器的航空系统，放音器件，记录型个人计算机，博奕设备，便携式信息终端，可移动式计算机，蜂窝式电话，手提博奕装置，电子笔记本，和配有记录介质的成像器件。

25、一种包括在衬底上的第一和第二 NTFTs 的半导体器件，所述第一和所述第二 NTFTs 各包括：

10 具有沟道形成区、第一杂质区、第二杂质区、以及形成在所述第一杂质区和所述第二杂质区之间的第三杂质区的半导体层；和

邻近所述半导体层且栅绝缘膜置于其间的栅极，

其中所述第二杂质区位于所述半导体层中，以便与所述栅极交叠且所述栅绝缘膜置于其间，与所述第二杂质区交叠的一部分所述栅极为锥形，

15 其中形成在所述第一 NTFT 中的第二杂质区的长度与形成在所述第二 NTFT 中的第二杂质区的长度不同，和

其中所述第二 NTFT 的工作电压比所述第一 NTFT 的工作电压高。

26、根据权利要求25的器件，其中所述栅极一侧和所述栅绝缘膜之间形成的角度为为 3° 到 40° 。

20 27、根据权利要求25的器件，其中所述第一杂质区、所述第二杂质区和所述第三杂质区包含所述周期表中的15族元素，和

其中所述第一杂质区包含的周期表的15族元素的浓度比所述第二杂质区和第三杂质区中的浓度高。

28、根据权利要求25的器件，其中所述半导体器件为EL显示器件。

25 29、电子设备，其中所述电子设备使用根据权利要求25的半导体器件。

30、根据权利要求29的电子设备，其中所述电子设备选自：视频摄像机，数字摄像机，投影仪，投影式电视机，防护镜式显示器，头上安装型显示器，用于飞行器的航空系统，放音器件，记录型个人计算机，博奕设备，便携式信息终端，可移动式计算机，蜂窝式电话，手提博奕装置，电子笔记本，和配有
30 记录介质的成像器件。

说明书

半导体器件

5 本发明涉及薄膜晶体管（以下称为 TFT）和具有由薄膜晶体管构成的电路的半导体器件。本发明涉及这样的半导体器件，如电光器件、传统有源矩阵液晶显示器件（以下称为 AM-LCDs）和包括处理器等的半导体电路。本发明还涉及配有电光器件或半导体电路的电子设备。注意在整个说明书中，半导体器件指得是利用半导体特性而达到其功能的一般器件，电光器件、半导体电路和
10 电子设备都是半导体器件。

近年来由使用多晶硅膜的 TFT 电路构成的有源矩阵型液晶显示器件已经成为公众注意的焦点。它们是实现高清晰度图像显示的主要器件，其中很多像素排列成矩阵状态，并且在液晶中产生的电场被控制在该矩阵状态。

就这种类型的有源矩阵型液晶显示器件而言，随着分辨率在 XGA 和 SXGA
15 中变为高清晰度，仅像素的数量就超过一百万。因此驱动所有像素的驱动电路是非常复杂的，并由大量 TFTs 形成。

对于实际液晶显示器件（也称为液晶显示板）所要求的规格是很严格的，为使所有像素正常工作，必须保证像素和驱动电路的高可靠性。尤其是，如果在驱动电路中发生不正常情况，这将导致其中一列（或一行）像素完全断开的
20 称为线缺陷的故障。

但是，从可靠性观点来看，使用多晶硅膜的 TFTs 仍然落后于 LSI 中使用的 MOSFETs（形成在单晶半导体衬底上的晶体管）等。只要没有克服这个缺陷，在形成 LSI 电路时很难使用 TFTs 的观点就越加稳固。

本发明的申请人考虑到在将 TFT 与 MOSFET 对比时，涉及 TFT 结构的问题会影响其可靠性（尤其是抗热载流子特性）。
25

本发明是克服这些问题的技术，因此本发明的目的是实现具有比 MOSFET 高的或与其相同的可靠性的 TFT。另外，本发明的另一目的是实现包括由使用这种 TFT 的电路形成的半导体电路的高可靠性半导体器件。

为解决上述问题，本发明的 n 沟道 TFT（以下称为 NTFT）具有：用作其
30 中形成反型层的半导体层中的源区或漏区的 n 型第一杂质区；和在沟道形成区

和第一杂质区之间的两类杂质区（第二杂质区和第三杂质区），这两杂质区表现为与第一杂质区相同的导电性类型。确定第二和第三杂质区的导电性的杂质的浓度低于第一杂质区的杂质浓度。第二和第三杂质区用作高电阻区，也称为 LDD 区。

- 5 第二杂质区是与栅极交叠且栅绝缘膜置于其间的低浓度杂质区，并有提高抗热载流子特性的作用。另一方面，第三杂质区是不与栅极交叠的低杂质区，并有防止截止电流增加的作用。

本发明最重要的特征是第一 NTFT 和第二 NTFT 位于同一衬底上，但是分别具有不同的第二杂质区长度。换言之，根据工作电压的不同，应该设置有适
10 当第二杂质区长度的合适的 TFTs。具体地说，当第二 TFT 的工作电压高于第一 TFT 的工作电压时，在第二 TFT 上的第二杂质区的长度比在第一 TFT 上的长。

通常，众所周知抗热载流子能力由于所谓 GOLD 结构（栅-漏重叠的 LDD）而提高。这种技术已经开始适用于 TFTs，但是由于常规 GOLD 结构而使截止
15 电流增加（在 TFT 处于截止状态时流过的电流）的问题已经被不合理地忽略了。

本发明的申请人考虑必须解决以上问题，并研究证明通过形成不与栅极交叠的杂质区（第三杂质区）可以显著减小截止电流。因此可以说本发明的特征在于第三杂质区的有源形成。

注意，栅极是与半导体层相交叠且栅绝缘膜置于其间的电极，并且是用于
20 将电场施加于半导体层并形成反型层的电极。与半导体层相交叠而栅绝缘膜置于其间的部分栅布线是栅极。

此外，本发明的栅极的膜厚在栅极周边从中间平坦部分向外线性或逐渐减小。即，其特征在于构图成锥形。

通过（使杂质通过）栅极的锥形区用杂质掺杂第二杂质区以施于导电性。
25 因此浓度梯度反映栅极的侧表面的倾斜度（锥部的膜厚的变化）。换言之，掺杂进第二杂质区的杂质浓度从沟道形成区向第一杂质区逐渐增加。

这是由于锥形区中的膜厚不同而使杂质到达的深度的变化引起的。换言之，当观察深度方向的杂质浓度分布时，掺杂的杂质处于最高浓度的深度随着栅极锥部的倾斜度而变化。

30 可以在具有这种结构的第二杂质区内部形成杂质浓度梯度。本发明的特征

在于有源地形成这种类型的浓度梯度，形成提高电场释放效应的 TFT 结构。

另外，本发明中其它栅极的结构是与栅绝缘膜接触的第一栅极和形成在第一栅极上的第二栅极的叠层。当然也可以使用单层第一栅极。

在这种结构中，第一栅极的侧表面（锥部）具有形成有栅绝缘膜且角度（用 θ 表示，以下称为锥角）等于或大于 3° 且等于或小于 40° （如果等于或大于 5° 并等于或小于 35° 是希望的，如果等于或大于 8° 并等于或小于 20° 则更好）的锥形形状。另一方面，第二栅极在沟道纵向的宽度比第一栅极的窄。

对于有上述类型叠层栅极的薄膜晶体管，包含在第二杂质区中的杂质的浓度分布反映第一栅极的锥部的膜厚的变化。其杂质浓度在第一杂质区的方向从沟道形成区逐渐增加。

有上述结构的 NTFT 具有高的抗热载流子能力，并且其耐电压特性（抵抗由于电场浓度引起的绝缘击穿的特性）也很好，因此可以防止随着时间的增加而使导通电流（在 TFT 处于导通状态时流过的电流）变坏。这种效果是由于形成第二杂质区产生的。

另外，通过形成第三杂质区可以大大减小截止电流。总之，形成第三杂质区是本发明的 NTFT 的特征。

本发明 NTFT 具有非常高的可靠性。因此在 NTFT 互补地与 PTFT 组合形成用在液晶显示器件或电致发光显示器件的像素区中的 CMOS 电路时，可以形成高可靠性电路。换言之，与常规 NTFT 相比，可以防止由于 NTFT 退化引起的电路能力下降。

注意，在本发明中不是特别需要使用上述 TFT 结构用于 p 沟道型薄膜晶体管（以下称为 PTFT）。即，可以使用公知的结构，因为 PTFT 没有与 NTFT 一样多的退化问题。当然也可以使用与 NTFT 相同的结构。

附图中：

图 1A-1D 是说明 AM-LCD 的电路布局的示意图；

图 2A-2C 是表示 AM-LCD 的截面结构的示意图；

图 3A-3D 是表示 NTFT 的制造工艺的示意图；

图 4A-4C 是表示 NTFT 的制造工艺的示意图；

图 5 是表示 NTFT 的截面结构的示意图；

图 6A-6D 是表示 NTFT 的截面结构的示意图；

图7是表示NTFT的截面结构的示意图;

图8是表示AM-LCD的外部示意图;

图9A-9C是表示CMOS电路的截面结构的示意图;

图10A-10F是表示CMOS电路的制造工艺的示意图;

5 图11A-11F是表示电子设备例子的示意图;

图12是表示模拟结果的示意图;

图13是表示偏置功率密度和锥角之间关系的示意图;

图14是表示 CF_4 流率和锥角之间关系的示意图;

图15是表示W/抗蚀剂选择率和锥角之间关系的示意图;

10 图16A-16B是表示有源矩阵型EL显示板截面结构的示意图;

图17是表示有源矩阵型EL显示板中的像素部分的结构示意图;

图18A-18B分别表示有源矩阵型EL显示板中的像素部分的结构和用于像素部分的电路结构的示意图;

图19是表示有源矩阵型EL显示板中的像素部分结构的示意图;

15 图20A-20C是表示用于有源矩阵型EL显示板中的像素部分的电路结构示意图;

图21是表示液晶的电光特性的示意图;

图22A-22D是表示电子设备例子的示意图;

图23A和23B是表示光学发动机的结构的示意图。

20 [实施方式1]

在实施方式1中,图3A-3D和图4A-4C是用于解释用在本发明中的TFT的制造工艺。

首先在衬底100的整个表面上形成基底膜101,并在基底膜101上形成岛形的半导体层102。然后在衬底100的整个表面区域形成作为栅绝缘膜的绝缘
25 膜103,并覆盖半导体层102(见图3A)。

以下物质可以用做衬底100:玻璃衬底;石英衬底;晶体玻璃衬底;金属衬底;不锈钢衬底;和如聚对苯二甲酸乙二醇酯的树脂衬底(PET)。

基底膜101是防止迁移离子如钠离子从衬底100向半导体层102扩散的膜,并增强形成在衬底100上的半导体层的粘附性。可以使用单层或多层无机绝缘
30 膜如氧化硅膜、氮化硅膜或氧化的氮化硅膜用于基底膜101。

基底膜不必只是用 CVD 或溅射淀积的膜。如果使用耐热衬底如石英, 例如可以淀积非晶硅膜, 然后热氧化, 形成氧化的硅膜。

可以如此选择半导体层 102 的材料, 使其符合 TFT 的特性要求。可以使用非晶硅膜、非晶硅锗膜, 或非晶硅锗膜, 或通过用激光辐射或退火使这些非晶半导体膜结晶形成的晶体硅、晶体锗或晶体硅锗。可以用公知技术作为结晶方法。
5 半导体层 102 的厚度在 10 和 150nm 之间 (一般从 20 到 50 nm)。

绝缘膜 103 是构成栅绝缘膜的膜。可以使用等离子体 CVD 或溅射淀积的氧化硅、氮化硅或氧化的氮化硅的单层或多层无机绝缘膜。在叠层膜的情况下, 例如可以使用两层氧化的氮化硅和氧化硅、或者被氧化硅膜夹在其中的氮
10 化硅膜的叠层。

在绝缘膜 103 上形成构成栅极 (栅布线) 的第一导电膜 104 和第二导电膜 105 (见图 3B)。

第一导电膜 104 构成具有锥部的第一栅极 (第一栅布线)。因此希望可以容易被锥形腐蚀的材料的薄膜。例如, 通常使用铬 (Cr) 膜、钽 (Ta) 膜、以钽
15 作为其主要成分 (等于或大于 50% 成分比例) 的薄膜或含有磷的 n 型硅 (Si) 膜。

此外, 对于本发明来说第一导电膜 104 的膜厚是主要的参数, 因为它确定第二杂质区 (覆盖栅极的杂质区) 的长度 (在沟道纵向)。在本发明中该长度在 50 到 500nm 范围内选择 (在 150 和 300 nm 之间是所希望的, 而在 200 和 250nm
20 之间则更好)。

另外, 第二导电膜 105 是构成第二栅极 (第二栅布线) 的薄膜, 并可以用下列之一薄膜形成: 铝 (Al) 膜; 铜 (Cu) 膜; 以铝或铜作为主要成分 (等于或大于 50% 成分比例) 的薄膜; 铬 (Cr) 膜; 钽 (Ta) 膜; 氮化钽 (TaN) 膜; 钛 (Ti) 膜; 钨 (W) 膜; 钼 (Mo) 膜; 含有磷的 n 型硅膜; 钨钼 (W-Mo)
25 膜; 钽钼 (Ta-Mo) 膜; 等。另外, 不仅上述薄膜可以用做单层膜, 而且也可以使用这些膜的任何组合的叠层。

然而, 需要选择在相互构图中可获得选择腐蚀率的用于第一导电膜和第二导电膜的材料。

例如, 可选择下列组合作为第一导电膜 104/导电膜 105 材料: n 型 Si/Ta;
30 n 型 Si/W-Mo 合金; Ta/Al; Ti/Al; 等。作为材料选择的进一步参考, 希望第

第二导电膜 105 具有尽可能低的电阻率,并应该至少选自具有低于第一导电膜 104 的表面电阻的表面电阻的材料。这是因为栅布线和上层布线的连接穿过第二栅布线。

- 5 接下来,在第二导电膜 105 上形成抗蚀剂掩模 106。使用抗蚀剂掩模 106 腐蚀第二导电膜 105,形成第二栅极 107。可以使用各向同性湿腐蚀进行腐蚀。(见图 3C)。

然后用同一抗蚀剂掩模 106 进行第一导电膜 104 的各向异性腐蚀,形成第一栅极(第一栅布线)108。顺便提及,可以形成新的抗蚀剂掩模以在该腐蚀中使用。

- 10 通过这种腐蚀,如图 5 所示,第一栅极 108 的侧表面与栅绝缘膜 103 形成等于或大于 3° 并等于或小于 40° 的锥角(θ)。希望该锥角等于或大于 5° 并等于或小于 35° ,如果等于或大于 7° 并等于或小于 20° 则更好。栅极 108 的锥部的膜厚变化随着锥角变小而变小,并且后来覆盖锥部的半导体层中的杂质浓度的变化相应地变得更平缓。

- 15 而且,如果锥角超过 40° ,则作为本发明 NTFT 的最重要特性的第二杂质区(杂质浓度逐渐变化的区域)长度变得非常短,因此希望锥角保持在 40° 或小于 40° 。

锥角定义为 $\tan\theta = HG/WG$,其中 WG 是锥部的宽度, HG 是厚度(第一栅极 108 的膜厚)。

- 20 然后去掉抗蚀剂掩模 106,并用第二栅极 107 和第一栅极 108 做掩模,用于向半导体层 102 中掺杂 n 型或 p 型杂质。作为掺杂方法可以使用离子注入(质量分离型)和离子掺杂(非质量分离型)。

- n 型杂质是作为施主的杂质,并且对于硅和锗一般使用周期表的 XV (15) 族元素磷(P)和砷(As)。P 型杂质是作为受主的杂质,并且对于硅和锗一般使用周期表的 VIII (13) 族元素硼(B)和镓(Ga)。

25 这里用离子掺杂进行磷掺杂,形成 n 型杂质区 109 和 110。在通过栅绝缘膜 103 和第一栅极 108 的锥部掺杂磷的情况下,需要为离子掺杂工艺设置加速电压在相当高的 80 和 160keV 之间。注意这需要很小心,因为进入锥部下面区域中的磷的浓度和分布随着加速电压而变化,这将在后面介绍。

- 30 这个掺杂工艺确定了 n 型第二杂质区和 n 型第三杂质区中磷的浓度分布,

如后面介绍的（见图4A）。

具体地说，通过（穿过）第一栅极108的锥部磷被掺杂进n型杂质区109和110中，因此浓度梯度反映了第一栅极108的锥部膜厚的变化。换言之，掺杂进n型杂质区109和110中的磷的浓度随着距离锥部下面的沟道形成区的距离的增加而逐渐增加。

这是因为在深度方向磷的掺杂浓度由于锥部的膜厚不同而变化。就是说，当观察在深度方向磷的浓度分布中的任意浓度（例如在深度方向的平均浓度）的掺杂深度时，在半导体层的截面方向，深度随着栅极锥部的倾斜度而变化。

磷浓度分布以波浪线示于图4A中，但这并不意味着磷不被掺杂在半导体层中的波浪线以下。相反，图4A只示意性地表示随着第一栅极108锥部的倾斜度而形成截面方向的磷浓度的上述变化。

注意此时不需要进行垂直于衬底的磷掺杂工艺，并且可以倾斜掺杂含磷的离子。这种掺杂工艺对于磷被深掺杂到栅极内部的情况有效。

接着形成抗蚀剂掩模111，覆盖第一栅极107和第二栅极108。该抗蚀剂掩模111确定第三杂质区的长度。通过抗蚀剂掩模111，用离子掺杂将n型杂质磷再次掺杂到半导体层102中。在不需要穿过第一栅极108的锥部掺杂的情况下，加速电压可设置为80到100keV左右（见图4B）。

利用这种掺杂工艺，磷被选择地掺杂到没有被抗蚀剂掩模111覆盖的n型杂质区109和110中，形成n⁺型第一杂质区112和113。此外，在图4A和图4B的掺杂工艺中，磷没有被掺杂到第二栅极107下面的区域114中，该区域114成为沟道形成区。

另外，在没有通过上述工艺掺杂磷的n型杂质区109和110中，与第一栅极108交叠的由参考标记115和116指示的区域成为n型第二杂质区。没有与第一栅极108交叠的区域成为n型第三杂质区117和118。

注意在图4B掺杂工艺之前栅布线可用做掩模，腐蚀绝缘膜103，暴露半导体层102的表面。在这种情况下，不需要穿过绝缘膜，并且加速电压可以设置为低到约10keV。换言之，可以减轻系统负载。由于杂质可以直接掺杂到半导体层中，因此还可以提高生产率。

在这一点上，如图6A到6D所示，第二杂质区115和116中的磷浓度分布可以分为四种类型。为区别这些类型，在图6A-6D中加上符号A、B、C、D。

注意形成第二杂质区 115 和 116 以具有围绕栅极中心的左右对称性, 因此图 6A-6D 只着重表示和解释第二杂质区 115。

如图 6A 所示, 第二杂质区 115A 中的磷浓度分布对应第一栅极 108 锥部的膜厚变化, 并且峰值浓度深度随着锥部的倾斜度变化而变化。另外, 在图 6A 的情况下绝对没有磷被掺杂到沟道形成区 114A 中, 并且磷被几乎均匀地掺杂到整个第三杂质区 117A 膜中。

而且, 此时, 如解释图 4A 时所示, 第二杂质区 115A 里面的磷浓度分布具有遵循第一栅极 108 的锥形的截面方向的浓度分布。换句话说, 对于掺杂到半导体层中的磷的浓度相对于深度方向均分的情况, 磷浓度从沟道形成区 114A 向第三杂质区 117A 逐渐增加。

这是因为由于通过第一栅极 108 锥部掺杂磷而形成了第二杂质区 115A 内部的截面方向的浓度梯度。在这种情况下, 沟道长度 L_A 对应沟道纵向的第二栅极 107 的宽度。

图 6B 表示图 4A 的磷掺杂工艺的加速电压设置得高于图 6A 的情况的例子。在这种情况下, 在第二杂质区和沟道形成区的连接部分 (以下称为沟道结) 中的磷浓度不接近于零 (或者与沟道形成区中的磷浓度相同), 如图 6A 所示。在沟道结中磷也被掺杂到一定水平。

这种情况下沟道长度 L_B 对应第二栅极 107 在沟道纵向的宽度。此外, 即使加速电压与图 6A 中的相同, 如果锥角 θ 小于图 6A 中的锥角 (当锥部的膜厚很薄时), 则可以获得象图 6B 中那样的第二杂质区中的磷浓度分布。

通过将加速电压设置得更高, 如图 6C 所示, 磷以近似于均匀水平被掺杂到第二杂质区 115C 的整个半导体层中。对于这种情况, 沟道长度 L_C 对应第二栅极 107 在沟道纵向的宽度。

另外, 图 6D 表示在图 4A 的磷掺杂工艺中加速电压设置为低于图 6A 的情况的例子。如图 6D 所示, 在此情况下, 第一栅极 108 的一部分锥部用做掩模, 因而在锥部的膜厚变薄的区域中选择地进行掺杂。

换言之, 开始形成从沟道结外部 (靠近第三杂质区的侧面) 掺杂磷的区域。沟道长度不与第二栅极 107 在沟道纵向的宽度相一致, 而是比该宽度长。

此外, 即使加速电压与图 6A 中的相同, 如果锥角 θ 比图 6A 中的大 (当锥部膜厚很厚时), 可获得象图 6D 中所示那样的第二杂质区中的磷浓度分布。

此时, 第一杂质区 112 和 113 的长度在 2 和 20 μm 之间 (通常在 3 和 10 μm 之间)。此外, 半导体层中的磷浓度在 1×10^{19} 和 1×10^{21} 原子/ cm^3 之间 (通常在 1×10^{20} 和 5×10^{20} 原子/ cm^3 之间)。第一杂质区 112 和 113 是低电阻区, 它们每个将源布线或漏布线电连接到 TFT 上, 并且是源区或漏区。

5 此外, 第二杂质区 115 和 116 的长度在 0.1 和 3.5 μm 之间 (通常从 0.1 到 0.5 μm , 希望在 0.1 和 0.3 μm 之间), 且磷浓度为 1×10^{15} 到 1×10^{17} 原子/ cm^3 (典型为 5×10^{15} 和 5×10^{16} 原子/ cm^3 之间, 希望从 1×10^{16} 到 2×10^{16} 原子/ cm^3)。

此外, 第三杂质区 117 和 118 的长度在 0.5 和 3.5 μm 之间 (典型为从 1.5 到 2.5 μm), 并且磷浓度从 1×10^{16} 到 1×10^{19} 原子/ cm^3 (典型为从 1×10^{17} 到 5×10^{18} 原子/ cm^3 , 希望从 5×10^{17} 到 1×10^{18} 原子/ cm^3)

另外, 沟道形成区 114 是本征半导体层, 或其中以 1×10^{16} 到 5×10^{18} 原子/ cm^3 浓度掺杂硼的区域。硼用于控制阈值电压并防止击穿, 但如果能获得相同的效果也可以用其它元素代替。

注意图 4B 所示的例子中, 分别在第一杂质区 112 和 113 与第二杂质区 115 和 116 之间形成不与栅极交叠的低浓度杂质区 (第三杂质区 117 和 118)。然而, 可以在第一杂质区和第二杂质区之间形成具有不同杂质浓度的每两个或多个杂质区。对于本发明, 在第一杂质区 112 和 113 与第二杂质区 115 和 116 之间至少存在一个杂质区, 并且该杂质区的杂质 (磷) 浓度比杂质区 112 和 113 的杂质浓度低, 其电阻比杂质区 112 和 113 的电阻高。

20 形成第一杂质区 112 和 113 之后去掉抗蚀剂掩模 111。然后进行热处理, 使掺杂到半导体层中的磷激活。对于激活工艺可以用准分子激光器或红外灯进行光学退火, 而不仅是热退火。

接下来由氧化硅膜等形成层间绝缘膜 119。然后在栅绝缘膜 103 和层间绝缘膜 119 中形成接触孔以达到第一杂质区 112 和 113 与第二栅布线 107。随后形成漏布线 120、源布线 121、和用于栅布线的引出引线布线 (未示于图中)。这样就完成了具有如图 4C 所示结构的 NTFT。

[实施方式 2]

实施方式 2 是栅极 (栅布线) 结构不同于实施方式 1 的例子。具体地说, 栅极具有实施方式 1 中的不同宽度的两个栅极的叠层结构, 但实施方式 2 中省
30 略了上部第二栅极, 并且只用第一栅极形成栅极并具有锥部。

实施方式2示于图7中。注意,实施方式2在结构上与实施方式1几乎相同,因此只有不同点用参考标记标出并解释。

在图7中,与图4C中所示结构的不同点在于栅极130是由单层膜形成的。因此关于实施方式1的解释适用于所有的其它部分。

- 5 希望能容易锥形腐蚀的材料用于作为栅极130的导电膜。对于可以使用的薄膜,可以使用实施方式1中的用做第一导电膜104的材料。

此外,栅极130的锥角在 3° 和 40° 之间。希望锥角在 5° 和 35° 之间,而且从 7° 到 20° 则更好。可以用公知腐蚀技术得到这种锥形,但是通过控制使用高密度等离子体的腐蚀装置的偏置功率密度可容易地获得所希望的锥角。

- 10 而且,对于形成具有实施方式2的结构的NIFT的制造工艺的具体条件可以参照实施方式1。

另外,在实施方式2中,第二杂质区可以分为如图6A-6D所示的4类,与实施方式1的相同。在形成第二栅极130时使用的抗蚀剂掩模确定了用于实施方式2的情况的沟道长度,代替第二栅极107。

- 15 但是,在实施方式1中,即使第一栅极108的厚度做得较薄,通过将第二栅极107做得较厚,可以得到低电阻,这是因为栅极具有叠层结构。然而,在实施方式2中栅极130是具有锥部的单层电极,因此膜厚变得比第一栅极108的厚,如对于实施方式1解释的那样。

- 20 这样就可以通过调整锥角来延长锥部上的宽度WG,并且在想要延长第二杂质区时这是有利的。另一方面,以同样的量掺杂磷更困难了,由于小锥角而使膜厚变厚,并且已经考虑了象图6D所示的结构。

[模拟结果]

- 25 本发明的申请人通过模拟研究在图4A所示磷掺杂工艺中被掺杂到第一栅极锥部下面的磷的浓度及其分布,结果示于图12中。注意使用ISE(集成系统工程AG)半导体器件模拟器假想封装用于模拟。

图12表示第一栅极的边缘部分的磷浓度分布。用300nm厚的第一栅极和 10.5° 的锥角进行计算。此外,对用110keV的加速电压和 1×10^{15} 离子/ cm^2 的磷剂量的等离子体掺杂(离子掺杂)的情况进行计算。注意栅绝缘膜的厚度为115nm,半导体层膜厚为50nm,并且基底膜(氧化硅膜)厚度为300nm。

- 30 通过观察图12可以清楚地确定,在整个半导体层(表示为Si层)的外部,

磷浓度在第一栅极锥部下面的区域中的沟道长度方向变化。即，通过远离沟道形成区（通过向第一杂质区靠近），磷浓度增加并且急剧出现梯度状态。

这里加速电压为 110 keV，但是如果加速电压更高的话，则可期望内部（第一栅极内部）的磷浓度更高。另外，使用离子注入法可以改变浓度分布。但是，
5 本发明的主要目的是在 LDD 区（包括与栅极交叠的部分）内部形成这种磷浓度分布梯度，并增强电场释放效应，因此操作者可以适当确定最佳浓度分布。

[实施例 1]

实施例 1 表示在实施方式中解释的 NTFT 用于制造有源矩阵型液晶显示器件 (AM-LCD) 的例子。

10 图 8 是实施例 1 的 AM-LCD 的结构示意图。AM-LCD 具有液晶夹在有源矩阵衬底 200 和相对衬底 206 之间的结构。有源矩阵衬底 200 具有像素区 201、驱动像素区 201 的栅驱动电路 202 和上面的源驱动电路 203。这些驱动电路分别通过源布线和漏布线连接到像素区 201。

此外，在衬底上形成信号处理电路 204，以便处理传输到源驱动电路 203
15 的视频信号。作为信号处理电路的例子可以是 D/A 转换器电路、信号分配电路、 γ 校正电路等。然后，为输入视频信号而形成外引线，并且 FPC205 与外引线连接。

在玻璃相对衬底 206 表面上形成如 ITO 膜的透明导电膜。该透明导电膜是与像素区 201 中的像素电极相对的相对电极。液晶材料由形成在像素电极和相对电极之间的电场驱动。而且，如果需要的话，可以在相对衬底 206 上形成布
20 线膜、滤色器、黑掩模等。

具有上述布局的 AM-LCD 具有不同的最低要求工作电压（电源电压），这取决于电路。例如，考虑施加于液晶的电压和驱动像素区中的像素 TFT 的电压，工作电压应在 14 和 20V 之间。因此，必须使用能够经受高施加电压的 TFT（以
25 下称为耐高电压型 TFT）。

另外，约 5 到 10V 的工作电压对于用在源驱动电路和栅驱动电路中的移位寄存器电路等来说足够了。由于工作电压变低，因此优点是具有与外部信号的相容性并抑制功耗。但是，虽然上述耐高电压型 TFT 具有良好的抗耐电压特性，但却牺牲了其工作速度，因此不适合于需要高速度工作的电路如移位寄存器电
30 路。

因此,形成在衬底上的电路分为要求重点在耐电压特性上的 TFT 的电路,和要求重点在工作速度上的 TFT 的电路,这取决于它们的目的。因此,为了有效利用本发明的 NTFT,重要的是根据使用的电路采用结构。

实施例 1 的具体结构示于图 1A-1D 中。图 1A 表示从上面看的 AM-LCD 的方框图。参考标记 11 表示用做显示部分的像素区。此外,参考标记 12a 表示移位寄存器电路,12b 表示电平移位电路,12c 表示缓冲电路。这些电路一起形成单栅驱动电路 12。

注意 AM-LCD 包括栅驱动电路 12,从而将像素区 11 夹在其间,如图 1A 所示,它们共用同一栅布线。换言之,AM-LCD 具有冗余,即使栅驱动电路之一出现故障,电压也可以施加给栅布线。

另外,参考标记 13a 表示移位寄存器电路,13b 表示电平移位电路,13c 表示缓冲电路,13d 表示取样电路。这些电路一起形成源驱动电路 13。预充电电路 14 形成在与源驱动电路相对的侧面,将像素区夹在中间。

在这种结构类型的 AM-LCD 中,移位寄存器电路 12a 和 13a 是要求高速度工作的电路,工作电压低到 3.3 和 10V 之间(典型为 3.3 到 5V),对于耐高电压特性没有特别的要求。因此,在使用本发明的 NTFT 时,希望采用不会降低工作速度的结构。因此,作为电阻部分的第二杂质区和第三杂质区窄到最小值。

图 1B 是在要求高速工作的电路中必须使用的 CMOS 电路的示意图,主要是移位寄存器电路和其它信号处理电路。说明一下,在图 1B 中,参考标记 15 表示第一栅极,16 表示第二栅极,只有 NTFT 具有图 4C 所示结构。此外,参考标记 17 表示有源层,18 和 19 表示源布线,20 表示漏布线。

另外,图 1B 的 CMOS 电路的截面结构示于图 2A 中。对于图 2A 结构的情况,第二杂质区 21 的长度(WG1)可以在 0.1 和 3.0 μm 之间(最好在 1.0 和 2.0 μm 之间)。可以通过调整第一栅极 15 的锥角来控制此长度(WG1)。这是因为通过第一栅极 15 锥部掺杂杂质形成了有浓度梯度的第二杂质区。此时该锥角为 25° 和 40° 之间。然而,根据第一栅极 15 的膜厚将会改变该适当的值。

此外,最好第三杂质区 22a 尽可能地小,这取决于条件状况,可以根本就不形成该杂质区。这是因为在移位寄存器电路或信号处理电路等中不需要涉及截止电流。如果这样,厚度将为 0.1 到 1.5 μm 范围(典型为 0.3 到 1.0 μm)。

总括图 1B 的电路,当图 1B 的电路电源电压为 $10 \pm 2\text{V}$ 时,沟道长度可以

为 $3.5 \pm 1.0 \mu\text{m}$, 第二杂质区的长度可以为 $2.0 \pm 1.0 \mu\text{m}$, 第三杂质区的长度可以为 $1.0 \pm 0.5 \mu\text{m}$. 此外, 如果电源电压为 $5 \pm 2\text{V}$, 则沟道长度为 $3.0 \pm 1.0 \mu\text{m}$, 第二杂质区长度为 $2.0 \pm 1.0 \mu\text{m}$, 第三杂质区长度为 $0.5 \pm 0.2 \mu\text{m}$.

接着, 图 1C 中所示 CMOS 电路主要适用于电平移位电路 12b 和 13b、缓冲电路 12c 和 13c、取样电路 13d、和预充电电路 14。驱动电压高为 14 和 16V 之间, 因为这些电路需要大电流。尤其是在栅驱动器一侧, 根据条件而定, 有时需要 19V 的驱动电压。因此需要具有非常好的耐电压特性 (高耐电压特性) 的 TFT。

图 2B 表示图 1C 所示 CMOS 电路的截面结构。此时, 第二杂质区 24 的长度 (WG2) 可以在 1.5 和 $4.0 \mu\text{m}$ 之间 (最好为 2.0 和 $3.0 \mu\text{m}$)。此时, 通过控制第一栅极 23 的锥角可以形成所需要的长度。例如, 通过使锥角为 3° 和 30° 之间。但是根据第一栅极 23 的膜厚可以改变适当的值。

同样在这种情况下, 希望第三杂质区 22b 尽可能小, 也可以不形成第三杂质区 22b。原因与移位寄存器电路等的相同。因此不会太大影响到截止电流。说明一下, 在形成第三杂质区时, 第三杂质区 25 的长度在 0.1 到 $5.5 \mu\text{m}$ 的范围内 (最好为 1.0 到 $3.0 \mu\text{m}$)。但是, 根据情况而定, 20V 的高电压可以施加于栅驱动器一侧的缓冲电路, 这种情况下, 需要形成较长的第三杂质区, 以便减小截止电流。

概括一下图 1C 的电路, 当电源电压为 $16 \pm 2\text{V}$ 时, 沟道长度可以为 $5.0 \pm 1.5 \mu\text{m}$, 第二杂质区的长度可以为 $2.5 \pm 1.0 \mu\text{m}$, 第三杂质区长度可以为 $2.0 \pm 1.0 \mu\text{m}$ 。此外, 如果电源电压为 $20 \pm 2\text{V}$, 沟道长度可以为 $5.0 \pm 2.0 \mu\text{m}$, 第二杂质区长度可以为 $3.0 \pm 1.0 \mu\text{m}$, 并且第三杂质区可以为 $4.0 \pm 1.5 \mu\text{m}$ 。

尤其对于取样电路, 沟道长度可以为 $4.0 \pm 2.0 \mu\text{m}$, 第二杂质区的长度可以为 $1.5 \pm 1.0 \mu\text{m}$, 第三杂质区长度可以为 $2.0 \pm 1.5 \mu\text{m}$ 。

图 1D 表示像素区 11 的示意图, 并于图 2C 中示出其像素区的任意截面结构。图 1D 中, 参考标记 25 表示第一栅布线 (包含第一栅极), 26 表示第二栅布线 (包含第二栅极), 27 表示有源层, 28 表示源布线, 29 表示漏极, 30 表示像素电极。

此外, 连接到漏极 29 的像素电极 30 形成具有置于像素电极 30 和透明导电膜 31 之间的绝缘膜 32 的保存电容器, 如图 2C 所示。保存电容器被形成得占

据像素区的大部分（被源布线和栅布线围绕的区域）。而且，透明导电膜 31 与像素电极 30 被由树脂材料制成的绝缘膜 33 完全分离并绝缘。

然后，考虑电压施加于液晶，像素 TFT（像素区的开关元件）需要 14 到 16V 的工作电压。此外，积累在液晶和保存电容器中的电荷必须保存一帧的周期，

5 因此截止电流必须尽可能小。

为此，实施例 1 中的本发明 NTFT 使用双栅结构，并且第二杂质区 34 的长度（WG3）在 0.5 和 3.0 μm 之间（最好在 1.5 和 2.5 μm 之间）。另外，WG2（见图 2B）和 WG3 可以做得相同，或者可以是不同长度。

同样通过控制第一栅极 25 的锥角可以获得所希望的长度。例如，锥角可以
10 为 3°和 30°之间。但是，根据第一栅极 25 的膜厚可以改变适当的值。

此外，图 2C 中所示的像素区的特征在于第三杂质区 35 做得比图 2A 和 2B 所示的 CMOS 电路长。这是因为对于像素区减小截止电流的问题是最重要的问题。

如参照图 4B 的解释，通过设置抗蚀剂掩模控制第三杂质区长度。在这种
15 情况下，第三杂质区长度（WG3）可以为 0.5 到 4.0 μm （最好为 1.5 到 3.0 μm ）。

总括图 1D，当电源电压为 16 \pm 2V 时，沟道长度可以为 4.0 \pm 2.0 μm ，第二杂质区长度可以为 1.5 \pm 1.0 μm ，第三杂质区可以为 2.0 \pm 1.5 μm 。

如上所述，在 AM-LCD 的例子中的单衬底上可以形成各种电路，所需要的工作电压（电源电压）不同，这取决于电路。这些结果示于表 1 中。

20

表 1

	电源电压 (V)	沟道长度 (μm)	第二杂质区长度 (μm)	第三杂质区长度 (μm)
<驱动电路> 信号处理电路，移 位寄存器电路，等	10 \pm 2	3.5 \pm 1.0	2.0 \pm 1.0	1.0 \pm 0.5
	5 \pm 2	3.0 \pm 1.0	2.0 \pm 1.0	0.5 \pm 0.2
<驱动电路> 电平移位电路， 缓冲电路，等	16 \pm 2	5.0 \pm 1.5	2.5 \pm 1.0	2.0 \pm 1.0
	20 \pm 2	5.0 \pm 2.0	3.0 \pm 1.0	4.0 \pm 1.5
取样电路	16 \pm 2	5.0 \pm 2.0	1.5 \pm 1.0	2.0 \pm 1.5
像素区	16 \pm 2	5.0 \pm 2.0	1.5 \pm 1.0	2.0 \pm 1.5

因此有所要求的承受特性可以不同的情况，以便对应电路的功能，而且在需要适应如实施例 1 的情况的 TFT。可以说本发明的 NTFT 的适应性证明了其真实值。

[实施例 2]

5 在实施例 2 中介绍了构成 CMOS 电路和像素区的实施例 1 的 NTFT 的改进例子。

图 9A 表示具有适用于要求高速工作的电路如移位寄存器电路的结构的 CMOS 电路。实施例 2 的特点是在源布线 36 一侧只形成第二杂质区 37，在漏布线 38 一侧形成第二杂质区 39 和第三杂质区 40。

10 CMOS 电路一般有固定的源区和漏区，而且在漏区一侧只需要低浓度杂质区 (LDD 区)。相反，形成在源区一侧的 LDD 区 (或偏移区) 只用做电阻部分，并且是降低工作速度的原因。

因此在实施例 2 中希望具有只在漏区一侧形成的第三杂质区的结构。第三杂质区是通过使用抗蚀剂掩模形成的，因此很容易只在漏区一侧形成第三杂质区。

15 实施例 2 的结构用于形成像素区的像素 TFT (NTFT) 的例子示于图 9B 中。在图 9B 中，参考标记 41 到 44 表示第二杂质区，45 和 46 表示第三杂质区。注意图 9B 结构的特征在于通过两层透明电极 (一般为 ITO 电极) 形成保存电容器，结构的制造工艺等可以在由本发明申请人申请的日本专利申请特许公开号平 10-254097 中看到，该文献对应于未审查 U.S. 申请系列号 09/356,377。在这里引证 JP10-254097 和 U.S. 申请系列号 09/356,377 的整个公开供参考。

在像素 TFT 的情况下，工作模式不同于 CMOS 电路，源区和漏区交替工作。需要第三杂质区 45 和 46 形成在像素 TFT 与输出端子 (源布线或漏布线) 互相连接的区域中。

25 可是，对于图 9B 中所示双栅结构，形成得与两个 TFTs 连接的第二杂质区 42 和 43 主要用做电阻成分。而且，通过形成第三杂质区，可以形成更高的电阻区。因此图 9B 的结构采用了没有在线性串联的两个 TFTs 之间形成第三杂质区 (不与栅极交叠的低浓度杂质区) 的结构。

30 如果对于液晶显示器件需要高清晰显示屏，则向像素的写入时间 (用于施加于液晶的需要的电压的时间) 非常短。因此，对于像素 TFT 也需要一定量的

工作速度, 并且需要尽可能多地减少电阻部分的结构。为此, 可以说实施例 2 的结构是很好的。

此外, 图 9A 表示只有第二杂质区 37 形成在源布线 36 一侧, 而第二杂质区 39 和第三杂质区 40 形成在漏布线 38 一侧的结构。图 9C 中的结构是更合理的。该结构中, 在源布线 36 一侧既没有形成第二杂质区也没有形成第三杂质区。

就是说, 该结构中源布线 36 连接的第一杂质区 (源区) 47 直接与沟道形成区接触。因此可以避免在源区一侧形成不需要的电阻部分, 并可实现能够高速度工作的 CMOS 电路。

注意实施例 2 的结构对于实施例 1 中所示的所有电路都有效。换句话说, 在 NTFT 源区一侧没有形成第三杂质区, 而是第三杂质区只形成于其漏区一侧, 因而可以提高工作速度, 同时保持高可靠性。当然, 实施例 2 可以与图 6A-6D 所示的所有例子相结合。

[实施例 3]

在实施例 3 中介绍使用本发明的 CMOS 电路的制造工艺。图 10A-10F 用于解释。

首先, 根据参照图 3A、3B、3C 和 3D 的上述实施例 1 进行处理。这个状态示于图 10A 中。但是, 图 10A 表示在相同半导体层上形成两个 TFTs (如图中所示左边的 NTFT, 右边的 PTFT) 的例子。

在图 10A 中, 参考标记 51 和 52 表示第一栅极, 53 和 54 表示第二栅极, 55 和 56 表示用于形成第一栅极或第二栅极的抗蚀剂掩模。抗蚀剂掩模 55 和 56 还用于形成第一栅极 51 和 52 上的锥部。

注意, 为使第二杂质区的长度不同, 以便对应与图 1A 中所示相同的衬底上的电路, 必须根据工作电压调节第一栅极的锥角以使电路工作。这种情况下, 在形成第一栅极时, 具有不同工作电压的电路必须使用抗蚀剂掩模分开形成锥角。

然后, 用第二栅极 53 和 54 做掩模进行磷掺杂工艺, 形成 n 型杂质区 57-59。掺杂条件可以参考实施例 1。在形成具有如参照图 6A-6D 解释的浓度梯度的杂质区的第一栅极 51 和 52 的锥部, 通过透过第一栅极掺杂磷 (见图 10B)。

接着, 形成抗蚀剂掩模 60, 随后再次进行磷掺杂工艺, 形成 n 型杂质区 61

到 63。参照图 6A-6D 介绍的第三杂质区由抗蚀剂掩模 60 确定。为改变第三杂质区长度以对应具有不同工作电压的电路，只改变抗蚀剂掩模的宽度（见图 10C）。

在图 10C 的工艺结束时完成 CMOS 电路的 NTFT。然后，PTFT 的第二栅极 54 用做掩模，以自对准方式腐蚀第一栅极 52，去掉锥部。这样，第一栅极 64 形成为与第二栅极相同的形状。顺便提及，如果省略这个工艺也没问题（见图 10D）。

然后，形成覆盖 NTFT 的抗蚀剂掩模 65，并在实施例 1 的条件下进行硼掺杂工艺。上述 n 型杂质区和 n⁺型杂质区都被该工艺反型，形成 p⁺型杂质区 66 和 67（见图 10E）。

去掉抗蚀剂掩模 65 之后，用氮化硅膜 68 覆盖第一栅极和第二栅极，并激活掺杂的磷和掺杂的硼。该工艺可以在炉子退火、激光退火和电灯退火的自由组合条件下进行。此外，氮化硅膜 68 可以保护第一栅极和第二栅极不受热和氧化反应。

接下来，在氮化硅膜 68 上形成层间绝缘膜 69，形成接触孔之后，形成源布线 70 和 71 和漏布线 72。这样就获得了具有图 10F 所示结构的 CMOS 电路。

应该注意，使用本发明 NTFT 的 CMOS 电路的一个例子示于实施例 3 中，但不限制实施例 3 的 CMOS 电路的结构。另外，在实现图 1A-1D 所示布局的情况下，需要分别为有不同工作电压的每个电路改变第一栅极上的锥角。

而且，实施例 3 的结构可以与实施例 1 和 2 的结构自由组合。

[实施例 4]

在实施例 4 中，介绍为使本发明 NTFT 上的第一栅极侧面形成锥形的腐蚀条件。实施例 4 中，使用纯度为 6N (99.9999%) 或更高的钨靶，通过溅射形成形成第一栅极的导电膜。惰性气体可用做溅射气体，但可通过加入氮气 (N₂) 形成氮化钨膜。

实施例 4 中使用了在 30nm 氮化钨膜上的 370nm 钨膜的叠层结构。但是，不形成氮化钨膜也可以，而且可以在氮化钨膜下面形成硅膜。此外，可以形成在钨膜上具有氮化钨膜的叠层膜。

如此获得层叠膜的氧含量为 30ppm 或低于 30ppm。为此，电阻率可以为 20μΩcm 或更小，一般在 6 和 15μΩcm 之间，并且膜应力可以在 -5×10^9 和

$5 \times 10^3 \text{ dyn/cm}^2$ 之间。

然后,在上述叠层膜上形成抗蚀剂图形,并在叠层膜上进行腐蚀,形成第一栅极。此时,在实施例4中,为构图叠层膜可采用使用高密度等离子体的ICP(感应耦合等离子体)腐蚀装置。

- 5 实施例4的特征在于调节ICP腐蚀装置上的偏置功率密度,以便获得所希望的锥角。图13是表示锥角和偏置功率的关系示意图。如图13所示,根据偏置功率密度可以控制锥角。

实施例4中锥角为 20° ,因此偏置功率密度取为 0.4 W/cm^2 。当然,如果将偏置功率设置成不低于 0.4 W/cm^2 ,锥角也可以为 20° 。注意ICP功率是500W,
10 气体压力为1.0Pa,气体流速 CF_4/Cl_2 为30/30sccm。

此外,也可以通过调节腐蚀气体(CF_4 和 Cl_2 的混合气体)中 CF_4 的流速比来控制锥角。图14是表示锥角和 CF_4 流速比关系的示意图。如果 CF_4 流速比增加,钨膜和抗蚀剂之间的选择性比变大,而且第一栅极的锥角基本上与 CF_4 流速比成正比例增加。

- 15 这样,改变锥角取决于钨膜和抗蚀剂之间的选择性比。钨膜/抗蚀剂选择性比和锥角的关系示于图15中。从图15可清楚看到钨膜/抗蚀剂选择性比和锥角成正比例关系。

如上所述,通过使用ICP腐蚀装置以调节偏置功率密度和反应气体流速比可以很容易地控制形成在第一栅极侧面的锥角。注意,虽然实验数据只表示 20°
20 到 80° 范围内的锥角,但通过适当设置条件也可形成不大于 20° 的锥角(从 3° 到 20°)。

而且注意到,钨膜作为实施例4中的一个例子示出,但使用ICP腐蚀装置,对于如Ta、Ti、Mo、Cr、Nb、Si等导电膜,可以很容易地在图形边缘形成锥形。

- 25 此外,给出了 CF_4 和 Cl_2 气体混合物用做腐蚀气体的例子,但腐蚀气体并不限于这种混合物,可以使用选自 C_2F_6 或 C_4F_8 的含氟的反应气体和选自 Cl_2 、 SiCl_4 或 BCl_3 的含氯的气体的气体混合物。而且, CF_4 和 Cl_2 加上20-60%氧的气体混合物也可用做腐蚀气体。

实施例4的腐蚀技术可以与实施方式1、实施方式2和实施例1-3的任何一个
30 个的结构相结合。

[实施例 5]

本发明的结构可应用于所有半导体电路，而不仅仅是实施例 1 的液晶显示器件。即，本发明可用于如 RISC 处理器、AISC 处理器等的微处理器，和从如 D/A 转换器等信号处理电路到便携式器件（移动电话、PHS、可移动的计算机）的高频电路的范围。

另外，通过使用本发明在形成在常规 MOSFET 上的层间绝缘膜上制造半导体电路，可以实现具有三维结构的半导体器件。因此，本发明可应用于使用常规 LSI 的所有半导体器件。换言之，本发明可以应用于 SOI 结构（使用单晶半导体薄膜的 TFTs 结构），如 SIMOX、Smart-Cut (SOITEC Co. 的商标)、ELTRAN (Canon, Inc. 的商标) 等。

而且，使用实施例 1-4 的任何组合都可实现实施例 5 的半导体电路。

[实施例 6]

本例展示了用于制造根据本申请的发明的有源矩阵型 EL（电致发光）显示器件的工艺。

图 16A 是表示根据本申请的发明制造的 EL 显示器件的顶视图。在图 16A 中，示出了衬底 4010、像素部分 4011、源侧驱动电路 4012、和栅侧驱动电路 4013，每个驱动电路与到达引到外部设备的 FPC（柔性印刷电路）4017 的布线 4014 到 4016 连接。

像素部分最好与驱动电路一起被覆盖材料 6000、第一密封材料（或外壳材料）7000 和第二密封材料（或第二密封材料）7001 密封。

图 16B 是表示本例中的 EL 显示器件结构的剖视图。示出了衬底 4010、基底膜 4021、驱动电路部分 4022（这里示出了由 NTFT 和 PTFT 构成的 CMOS 电路）、和像素部分 4023。（图 16B 中所示 TFT 是控制给 EL 元件的电流的 TFT。）

本例中，图 2A 中所示的 CMOS 电路用于驱动电路部分 4022。而且，控制给 EL 元件的电流的 TFT（电流控制 TFT）可以使用图 9C 中所示的 NTFT，切换电流控制 TFT 的栅信号的 TFT（开关 TFT）可使用图 2C 中所示的 TFT。

完成本申请的发明的驱动电路部分 4022 和像素部分 4023 后，在由树脂构成的层间绝缘膜（平面化膜）4024 上形成像素电极（阴极）4025。这个像素电极 4025 与用于像素部分的 TFT4023 的漏相连，并且可以包括光屏蔽导电膜（典

型地, 包括铝、铜或银作为主要成分的导电膜, 或由上述导电膜和其它导电膜组成的叠层膜)。然后, 在像素电极 4025 上形成绝缘膜 4026, 并在像素电极 4025 上面在绝缘膜 4026 中形成开口。

接着形成 EL (电致发光) 层 4027。该层可以通过将如空穴注入层、空
5 穴传输层、发光层、电子传输层、和电子注入层的公知 EL 材料自由组合的单层结构或多层结构。任何公知技术都可以用于这种结构。EL 材料是低分子材料或高分子材料 (聚合物)。前者可通过汽相淀积形成, 后者可通过如旋涂、印刷或喷墨法等简单方法形成。

在本例中, EL 层是通过遮蔽掩模用汽相淀积形成的。得到的 EL 层允许每
10 个像素发射不同波长的光 (红、绿和蓝)。这就实现了彩色显示。其它合适的系统包括颜色转换层 (CCM) 和滤色器的结合以及白光发射层和滤色器的结合。无须说明, EL 显示器件可以是单色的。

在 EL 层 4027 上形成包括透明导电膜的阳极 4028。该透明导电膜可能是用氧化铟和氧化锡的化合物或氧化铟和氧化锌的化合物形成的。希望尽可能多地
15 清洁来自 EL 层 4027 和阳极 4028 之间的界面的潮气和氧。因而, 通过在真空中依次形成 EL 层 4027 和阳极 4028, 或者在惰性气氛中形成 EL 层 4027, 然后在相同气氛中形成阳极 4028 而不暴露于空气可达到这个目的。在本例中, 通过使用多室系统 (多工具系统) 的膜形成装置形成了所希望的膜。

阳极 4028 在区域 4029 与布线 4016 连接。布线 4016 是给阳极 4028 输送规
20 定电压的布线, 并通过导电材料 4030 与 FPC4017 电连接。

在区域 4029 中, 阳极 4028 和布线 4016 之间的电连接需要层间绝缘膜 4024 和绝缘膜 4026 中的接触孔。这些接触孔可在形成 EL 层之前在腐蚀层间绝缘膜 4024 以形成用于像素电极的接触孔时或腐蚀绝缘膜 4026 以形成开口时形成。
当绝缘膜 4026 进行腐蚀时, 可同时腐蚀层间绝缘膜 4024。如果层间绝缘膜 4024
25 和绝缘膜 4026 由相同材料构成, 则可形成良好形状的接触孔。

然后, 形成钝化膜 4031, 以便覆盖 EL 元件表面。而且形成第一密封材料 7000, 以便包围 EL 元件并将覆盖材料 6000 施加于衬底 4010 上。然后在被衬底 4010、覆盖材料 6000 和第一密封材料 7000 包围的区域内部形成填充材料 6004。

30 填充材料 6004 还用做粘合剂以粘附到覆盖材料 6000 上。作为填充材料

6004, 可采用PVC(聚氯乙烯)、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)、或EVA(乙烯乙烯基乙酸酯)。最好在填充材料6004中形成吸水材料(例如氧化钡), 因为这样可以保持潮气吸收效果。

而且, 在填充材料6004中含有间隔物。最好使用包括氧化钡的球形间隔物以保持在间隔物中吸收潮气。

在间隔物被包含在填充材料中的情况下, 钝化膜4031可减轻间隔物的压力。当然, 也可以使用不同于钝化膜的其它膜如有机树脂, 用于减轻间隔物的压力。

而且, 代替填充材料, 惰性气体(如氩、氦、和氮)可引入由衬底4010、覆盖材料6000和第一密封材料7000包围的区域中。

作为覆盖材料6000, 可使用玻璃板、FRP(玻璃纤维增强塑料)板、PVF(聚氟乙烯)膜、Mylar膜、聚酯膜或丙烯酸酯基膜。在本实施例中, 覆盖材料应该是透明材料, 因为从EL元件发射的光要穿过覆盖材料6000。

但是, 当从EL元件发射的光射向相反方向时, 金属板(例如不锈钢板)、陶瓷板、和被PVF膜或Mylar膜夹在其间的铝箔可用做覆盖材料6000。

布线4016通过第一密封材料7000和衬底4010之间的间隙与FPC4017电连接。与上述解释的布线4016一样, 其它布线4014和4015也与第一密封材料7000下面的FPC4017电连接。

最后, 形成第二密封材料7001, 以便覆盖第一密封材料7000的露出部分和一部分FPC4017, 用于获得完全与空气隔绝的结构。相应地, 获得具有图16B中所示截面的EL显示器件。

通过将本实施例中所述的EL显示器件结合到本发明中, 优点是可得到具有高可靠性的EL显示器件。本实施例的结构可与实施例1-5的任何一个以任何所需要的方式结合。

[实施例7]

在本实施例中, 很详细地解释了实施例6中的EL显示器件的像素区结构。图17表示像素区的截面; 图18A表示其顶视图; 图18B表示用于像素区的电路结构。在图17、18A和18B中, 同样, 相同部分使用了相同的参考标记。

在图17中, 形成在衬底1701上的开关TFT1702是具有图2C所示结构的NIFT。本例中, 它具有双栅结构。开关TFT1702的双栅结构基本上具有串联

的两个 TFTs, 因此有减小穿过它的截止电流的优点。

本例中, 开关 TFT1702 具有这种双栅结构, 但不是限制性的。也可以具有单栅结构或三栅结构, 或者具有三个以上栅的其它多栅结构。另外, 开关 TFT1702 可以是图 2A 或 2B 所示的 PTFT。

- 5 电流控制 TFT1703 是如图 9C 所示的 NIFT。开关 TFT1702 中的漏布线 1704 经过布线 1705 与电流控制 TFT1703 的栅极 1706 电连接。

电流控制 TFT1703 具有本发明确定的结构是很重要的。电流控制 TFT 是用于控制穿过 EL 器件的电流量的元件。因此, 大量电流流过该 TFT, 并且该元件即电流控制 TFT 具有热退化和热载流子退化的很大的危险。因此, 对于该元
10 件, 本发明的结构是非常有利的, 其中 LDD 区是如此构成的: 栅极经过其间的栅绝缘膜与电流控制 TFT 中的漏区交叠。

本例中示出了具有单栅结构的电流控制 TFT1703, 但也可以具有带多个串联的 TFTs 的多栅结构。此外, 多个 TFTs 可以并联, 因此沟道形成区基本上被分为多个部分。在这类结构中, 可以有效地实现热辐射。这种结构的优点是
15 它可保护器件不会热退化。

如图 18A 所示, 作为电流控制 TFT1703 中的栅极 1706 的布线与电流控制 TFT 的漏布线 1708 在由 1707 表示的区域中交叠, 绝缘膜置于其间。在这种状态, 由 1707 表示的区域形成电容器。电容器 1707 用于保存施加于电流控制 TFT1703 中的栅极的电压。漏布线 1708 与电源线 (供电线) 1709 相接。

- 20 在开关 TFT1702 和电流控制 TFT1703 上形成第一钝化膜 1710。在膜 1710 上形成绝缘树脂的钝化膜 1711。通过采用平面化膜 1711 的平面化去掉 TFT 中的分层部分的水平差是很重要的。这是因为在后面步骤中在先前形成的层上要形成的 EL 层非常薄, 如果先前形成的层存在水平差, EL 器件常常会出现由光发射问题引起的故障。因而, 希望在形成上面的像素电极之前尽可能预先平面
25 化先前形成的层, 从而使 EL 层可以形成在平面化表面上。

参考标记 1712 表示高反射率的导电膜的像素电极 (EL 器件中的阴极)。该像素电极 1712 与电流控制 TFT1703 中的漏区电连接。这种情况下, 最好 NIFT 用做电流控制 TFT1703。而且, 最好像素电极 1712 是铝合金、铜合金或银合金的低电阻导电膜, 或者是这些膜的叠层。不用说, 像素电极 1712 可具有带
30 有任何其它导电膜的叠层结构。

在形成在绝缘膜（最好是树脂的）的存储体 1713a 和 1713b 之间的凹槽（其对应像素）中形成光发射层 1714。在所示结构中只示出一个像素，但可以在对应 R（红）、G（绿）和 B（蓝）不同颜色的不同像素中分别形成多个光发射层。在本例中，用于光发射层的有机 EL 材料可以是任何的 π -共轭聚合物材料。这里 5 里可用的典型聚合物材料包括聚对苯烯-1,2-亚乙烯（polyparaphenylene vinylene）(PVV) 材料、聚乙烯吡唑（PVK）材料、聚芴（polyfluorene）材料等。

各种类型的 PVV 型有机 EL 材料是公知的，如在 H.Shenk, H.Becker, O.Gelsen, E.Klunge, W.Kreuder, 和 H.Spreizer, *Polymers for Light Emitting Diodes*, Euro 10 *Display Proceeding*, 1999, pp.33-37 和日本专利特许公开号 10-92576（1998）中公开的那些材料，在这里可以使用这些公知材料的任何一种。

具体地说，氨基聚对苯烯-1,2-亚乙烯可用于红光发射材料；聚对苯烯-1,2-亚乙烯可用于绿光发射材料；聚对苯烯-1, 2-亚乙烯或聚烷基亚苯基（polyalkylphenylene）可用于蓝光发射材料。用于光发射层的膜厚可以在 30 和 15 150nm 之间（最好在 40 和 100nm 之间）。

上面提到的这些化合物仅作为这里采用的有机 EL 材料的例子的参考，而根本不是限制。光发射层可以与电荷传输层或电荷注入层以任何所需要的方式结合，形成想要的 EL 层（其用于光发射和用于光发射的载流子转移）。

具体地说，本例是说明形成光发射层使用的聚合物材料的实施例，而并不是限制性的。低分子有机 EL 材料也可以用于光发射层。对于电荷传输层和电荷注入层，还可采用无机材料，如碳化硅等。用于这些层的各种有机 EL 材料 20 和无机材料都是公知的，它们都可以在这里使用。

本例中，在光发射层 1714 上形成 PEDOT（聚噻吩）或 PANi（聚苯胺）的空穴注入层 1715，从而形成用于 EL 层的叠层结构。在空穴注入层 1715 上形成透明导电膜的阳极 1716。本实施例中，由光发射层 1714 发射的光射向顶表面（即 TFT 的向上方向）。因此，在这里阳极必须能传输光。对于阳极的透明导电膜，可使用氧化铟和氧化锡的化合物以及氧化铟和氧化锌的化合物。但是，由于阳极是在已经形成具有不良耐热性的光发射层和空穴注入层之后形成的，最好阳极的透明导电膜是能以尽可能低的温度形成膜的材料。25

30 当形成阳极 1716 时，完成 EL 器件 1717。这里如此制造的 EL 器件 1717

表示包括像素电极（阴极）1712、光发射层 1714、空穴注入层 1715 和阳极 1716 的电容器。如图 18A 所示，像素电极 1712 的区域与像素区域近似相同。因此，这里整个像素用做 EL 器件。因而，这里制造的 EL 器件的光利用效率很高，并且该器件可以显示清晰的图像。

- 5 在本实施例中，第二钝化膜 1718 形成在阳极 1716 上。对于第二钝化膜 1718，最好使用氮化硅膜或氮氧化硅膜。膜 1718 的作用是使 EL 器件与外部环境隔离。膜 1718 有防止有机 EL 材料由于氧化而退化的功能，并有防止有机 EL 材料放气的功能。通过这种类型的第二钝化膜 1718，提高了 EL 显示器件的可靠性。
- 10 如上所述，在本例中制造的本发明的 EL 显示器件具有用于有图 17 中所示结构的像素的像素部分，并有通过其的截止电流小到满意程度的开关 TFT，和耐热载流子注入能力的电流控制 TFT。因而，这里制造的 EL 显示器件具有高可靠性并可以显示良好图像。

本例的结构可与实施例 1-5 的任何结构以任何所希望的方式结合。

15 [实施例 8]

本实施例将介绍实施例 7 的 EL 显示器件的改进，其中像素部分中的 EL 器件 1717 具有反型结构。对于本例可参照图 19。本例的 EL 显示板与图 18A 所示的显示板不同之处只在于 EL 元件部分和电流控制 TFT 部分。因此这里省略了除不同部分之外的其它部分的介绍。并且同样相同参考标记表示相同部分。

- 20 图 19 中，电流控制 TFT1901 可以用实施例 3 中所述的步骤形成的 PTFT。

在本实施例中，像素电极（阳极）1902 是透明导电膜构成的。具体地说，可使用氧化铟和氧化锌的化合物的导电膜。不用说，也可以使用氧化铟和氧化锡的化合物的导电膜。

- 形成绝缘膜的存储体 1903a 和 1903b 之后，用溶液涂敷法在它们之间形成
25 （聚乙烯咔唑）的光发射层 1904。在光发射层 1904 上形成由碱金属复合物（例如乙酰丙酮化钾）制成的电子注入层 1905 和铝合金的阴极 1906。在这种情况下，阴极 1906 还用做钝化膜。这样就制造了 EL 器件 1907。

在本实施例中，由光发射层 1904 发射的光射向有形成在其上的 TFT 的衬底，如箭头所述方向。

- 30 本例的结构可与实施例 1-5 的任何结构以任何所希望的方式结合。

[实施例 9]

本例将介绍具有图 18B 的电路结构的像素的改型。该改型示于图 20A-20C 中。在示于图 20A-20C 的本例中, 3801 表示用于开关 TFT3802 的源布线; 3803 表示用于开关 TFT3802 的栅布线; 3804 表示电流控制 TFT; 3805 表示电容器;
5 3806 和 3808 表示电源线; 3807 表示 EL 器件。

在图 20A 的本实施例中, 电源线 3806 被两个像素共用。具体地说, 本例的特征在于两个像素相对于它们中间的电源线 3806 线性对称地形成。由于可以减少电源线的数量, 因此本例的优点在于像素部分可以更细和更薄。

在图 20B 的本例中, 电源线 3808 与栅布线 3803 平行形成。具体地说, 这
10 里, 电源线 3808 是如此构成的, 即它不与栅布线 3803 交叠, 但这不是限制性的。与所示不同, 它们两者可以经过使它们成为不同层的其间的绝缘膜互相交叠。由于电源线 3808 和栅布线 3803 可以享用其中的公共专用区, 因此本例的优点在于像素图形可以更细和更薄。

图 20C 的本例的结构特征在于电源线 3808 形成得与栅布线 3803 平行, 与
15 图 20B 一样, 两个像素形成得相对于它们中间的电源线 3808 线性对称。其中, 以电源线 3808 与任一个栅布线 3803 交叠的方式设置电源线 3808 也是有效的。由于可以减少其中的电源线的数量, 所以本例的优点是像素图形可以更细和更薄。

本例的结构可与实施例 1-5 的任何结构以任何所希望的方式结合。

20 [实施例 10]

图 18A 和 18B 所示的实施例 7 的实施例设有用于保持施加于电流控制 TFT1703 的栅极的电压的电容器 1704。但在本例中可省略电容器 1704。

在实施例 7 的实施例中, 电流控制 TFT1703 是如示于图 9C 中的 NTFT。因此在实施例 7 中, LDD 区如此形成: 它经过其间的栅绝缘膜与栅极交叠。
25 在交叠区域中形成一般称为栅电容的寄生电容。本例的实施例特征在于有效利用寄生电容以代替电容器 1704。

上述寄生电容根据栅极与 LDD 区交叠的面积而变化, 因此根据交叠区中的 LDD 区的长度确定。

而且在图 20A-20C 所示实施例 9 的实施例中, 可以省略电容器 3805。

30 本例的结构可与实施例 1-5 的任何结构以任何所需要的方式结合。

[实施例 11]

除了向列液晶之外,还有多种液晶可用于本发明的电光器件,具体为本发明的液晶显示器件。例如,可以使用在下列任一文章中公开的液晶: H.F.urus 等, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and Hight Contrast Ratio with Gray-Scale Capability", SID, 1998; T. Yoshida, T. 等, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time", SID DIGEST, 841, 1997; S.Imui 等, "Thresholdless Antiferroelectricity in Liquid Crystals and its Application to Displays", J. Mater.Chem., 6(4), 1996, p. 671-673;以及美国专利 No. 5594569。

此外,可使用呈现各向同性相位-胆固醇(cholesterol)相位-Chiralsmectic C 相位的相变系统的铁电液晶(FLCs),并且在施加 DC 电压的同时产生从胆固醇相位到 Chiralsmectic C 相位的相变。所得到的其中形成锥形边缘以接近符合磨擦方向的单稳态 FLC 的电-光特性示于图 21 中。

图 21 中所示铁电液晶的显示模式称为 "half-V swithing mode"。图 21 中所示曲线的垂直轴是透光度(以任意单位),水平轴是施加的电压。关于 "half-V swithing mode" 的详细情况可在下列文献中找到: Terada,等, "Half-V Swithing Mode FLC", Proceedings of the 46th Applied Physics Association Lectures, Mar.1999, p. 1316; 和 Yoshihara,等, "Time Division Full Color LCD by Ferroelectric Liquid Crystal", Liquid Crystals, vol.3, no. 3, p. 190。

如图 21 所示,很显然如果使用这种类型的铁电混合液晶,则可实现低电压驱动和分级显示。呈现这些电光特性的铁电液晶可用于本发明的液晶显示器件。

此外,在某温度范围展示反铁电相位的液晶称为反铁电液晶(AFLC)。有这样的混合液晶,它们具有呈现透光度响应电场连续变化的电光响应特性的反铁电液晶,这些混合液晶被称为无阈值反铁电混合液晶。有这样的无阈值反铁电混合液晶,它们呈现 V 型电光响应特性,有一些无阈值反铁电混合液晶的驱动电压约为 $\pm 2.5V$ (当晶格厚度在 1 和 $2\mu m$ 之间时)。

一般情况下,无阈值反铁电混合液晶的自然极化很大,而且液晶本身的介电常数很高。这样,当无阈值反铁电混合液晶用于液晶显示器件时,对于像素

需要相对大的保存电容器。因此，需要使用具有小的自然极化的无阈值反铁电混合液晶。

注意，在本发明的液晶显示器件中使用这种类型无阈值反铁电混合液晶，可以实现低驱动电压，因而也可以实现低功耗。

5 实施例 11 中所述的液晶可被采用在具有实施例 1-4 任意结构的液晶显示器件中。

[实施例 12]

根据本发明的电光器件或半导体器件可以用做电子设备中的显示部分或信号处理电路。作为这种电子设备，列举如下：视频摄像机，数字摄像机，投影
10 仪，投影式电视机，防护镜式显示器（头上安装型显示器），用于飞行器的航空系统，放音器件，记录型个人计算机，博弈设备，便携式信息终端（移动电话、蜂窝式电话、手提博弈装置、或电子笔记本等），配有记录介质的成像器件，等等。这些例子示于图 11A-11F、22A-22D 及 23A-23B 中。

图 11A 表示蜂窝式电话，其包括：主机 2001，声音输出部分 2002，声音
15 输入部分 2003，显示器件 2004，操作开关 2005，以及天线 2006。根据本发明的电光器件可用于显示器件 2004，而本发明的半导体电路可以用于声音输出部分 2002、声音输入部分 2003 或 CPU、存储器等。

图 11B 表示视频摄像机，包括：主机 2101，显示器件 2102，声音输入单元
20 2103，操作开关 2104，电池 2105，以及图像接收单元 2106。本发明的电光器件可用于显示器件 2102，而本发明的半导体电路可用于声音输入单元 2103 或 CPU、存储器等。

图 11C 表示可移动式计算机，包括：主机 2201，摄像装置 2202，图像接收
单元 2203，操作开关 2204，显示器件 2205。本发明的电光器件可用于显示器件 2205，本发明的半导体电路可用于 CPU、存储器等。

25 图 11D 表示防护镜式显示器，包括：主机 2301，显示器件 2302，以及臂部 2303。本发明的电光器件可用于显示器件 2302，本发明的半导体电路可用于 CPU、存储器等。

图 11E 表示背式投影仪（投影式电视机），包括：主机 2401，光源 2402，
电光器件 2403，极化电子束分离器 2404，反射器 2405、2406 以及荧光屏 2407。
30 本发明的电光器件可用于电光器件 2403，本发明的半导体电路可用于 CPU、

存储器等。

图 11F 表示正面型投影仪, 包括主机 2501, 光源 2502, 电光器件 2503, 光学系统 2504 以及荧光屏 2505。本发明的电光器件可用于电光器件 2503, 本发明的半导体电路可用于 CPU、存储器等。

- 5 图 22A 表示个人计算机, 包括主机 2601, 图像输入单元 2602, 显示器件 2603, 以及键盘 2604。本发明的电光器件可用于显示器件 2603, 本发明的半导体电路可用于 CPU、存储器等。

- 图 22B 表示电子博奕播放机 (博奕设备), 包括主机 2701, 记录介质 2702, 显示器件 2703, 控制器 2704。从电子博奕播放机输出的声音或图像在包括外壳 2705 和显示器件 2706 的显示单元上播放。控制器 2704 和主机 2701 之间的
10 通讯措施或电子博奕播放机和显示单元之间的通讯措施可通过有线通讯、无线电通讯或光学通讯进行。在实施例 8 中, 通过传感器单元 2707、2708 进行红外检测。根据本发明的电光器件可适用于显示器件 2703、2706, 根据本发明的半导体电路可用于 CPU、存储器等。

- 15 图 22C 表示采用程序被记录在其中的记录介质 (以下称为记录介质) 的播放机 (图像重放器件), 包括主机 2801, 显示器件 2802, 扬声器单元 2803, 记录介质 2804, 以及操作开关 2805。顺便提及, 该图像再现器件用做记录介质 DVD (数字通用盘)、CD 等以作为听音乐或看电影的工具, 用于播放游戏并连接到 Internet。本发明可适用于显示器件 2802、CPU、存储器等。

- 20 图 22D 表示数字摄像机, 包括主机 2901, 显示器件 2902, 目视部分 2903, 操作开关 2904, 以及图像接收单元 (未示出)。本发明可用于显示器件 2902、CPU、存储器等。

- 下面参照图 23A 和 23B 详细介绍光学引擎, 这种发动机可用在图 11 所示的背式投影仪或图 11F 所示的正面型投影仪中。图 23A 表示光学引擎, 图 23B
25 表示设在光学引擎中的光学光源系统。

- 图 23A 所示的光学引擎由光学系统组成, 该光学系统包括光学光源系统 3001、反射镜 3002 和 3005-3007、分色镜 3003 和 3004、光学透镜 3008 和 3009、棱镜 3011、液晶显示器件 3010、以及光学投影系统 3012。光学投影系统 3012
30 由配有投影透镜的光学系统组成。实施例 8 表示液晶显示器件 3010 是使用三个透镜的三级的例子, 但不做特别限制, 例如单级也可以接受。此外, 操作者

可在由图 23A 中的箭头所示的光学路径中适当设置光学系统, 如光学透镜、极化胶片、用于调整相位差的胶片、IR 胶片等。

另外, 如图 23B 所示, 光学光源 3001 由光源 3013 和 3014、复合棱镜 3015、准直棱镜 3016 和 3020、棱镜阵列 3017 和 3018、极化转换元件 3019 组成。意图 23B 所示的光学光源系统使用两个光源, 但也可使用三个、四个或更多个光源。当然, 也可以使用单个光源。此外, 操作者可在光学系统中适当设置光学透镜、极化胶片、用于调整相位差的胶片或 IR 胶片等。

如上所述, 本发明的半导体器件的应用范围很宽, 并且本发明可适用于任何领域的电子设备。即使采用实施例 1-11 的任何组合的结构都可以实现实施例 10 12 的半导体器件。

通过实施本发明可提高 NTFT 的可靠性。因此, 可以保证具有需要严格可靠性的电特性 (尤其是高的可移动性) 的 NTFT 的可靠性。同时, 通过形成配有优异平衡特性的 NTFT 和 PTFT 的 CMOS 电路, 可实现展示高可靠性和突出电特性的半导体电路。

15 另外, 本发明中第二杂质区和/或第三杂质区的长度可以最佳化, 并根据相同衬底上具有不同驱动电压的电路而不同设置其长度。因此可以形成这样的电路, 它具有满足需要高工作速度的电路的工作速度, 并可以形成具有可满足需要良好耐电压特性的电路的耐电压特性的电路。

因此, 通过适当设置具有对应电路类型 (尤其是当设置为 CMOS 电路时) 20 的结构 NTFTs, 可以最大程度地利用电路特性, 并可实现具有高可靠性和良好工作性能的半导体电路 (或电光器件)。

此外, 可以提高其中配有作为部件的上述电光器件和半导体电路的电子设备的可靠性和性能。

99.1127

说明书附图

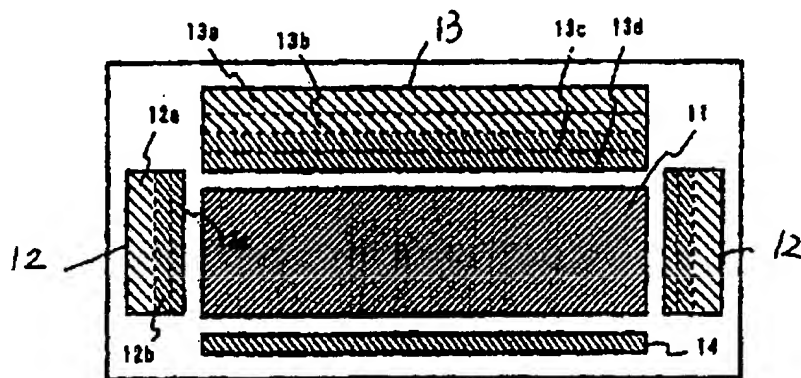


图 1A

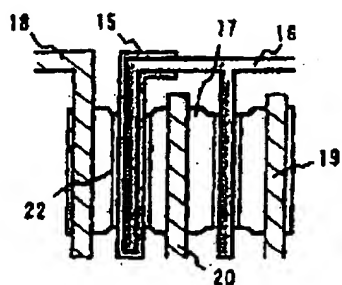


图 1B

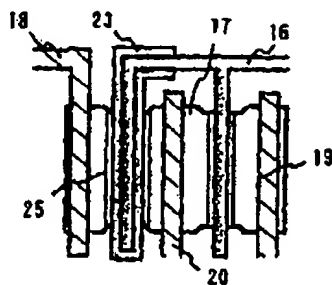


图 1C

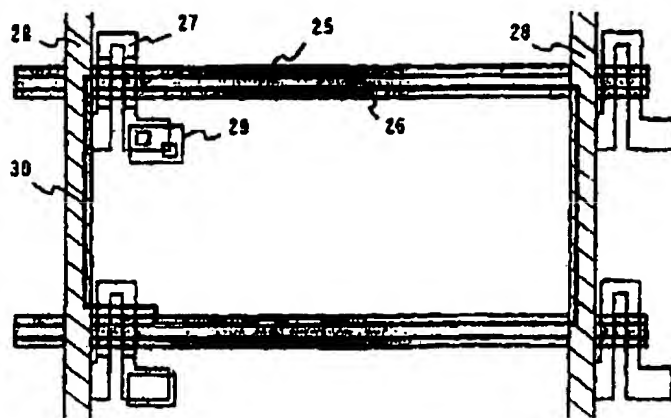


图 1D

99.11.27

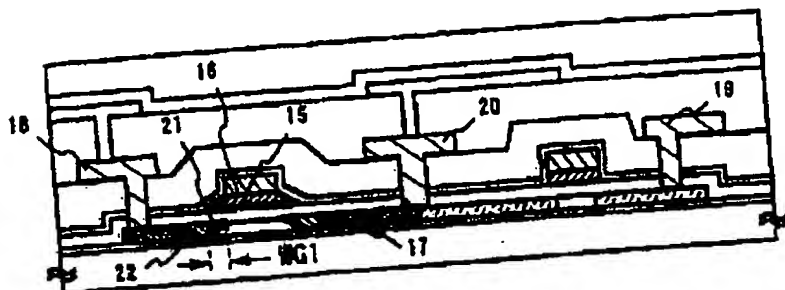


图 2A

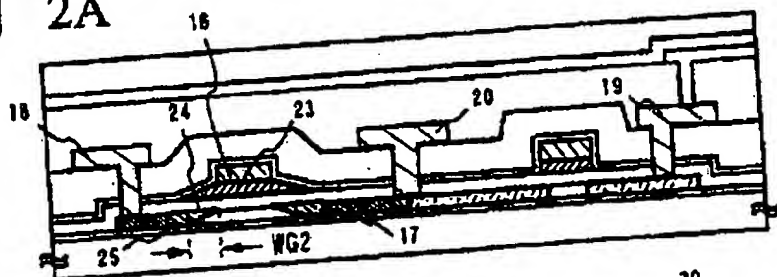


图 2B

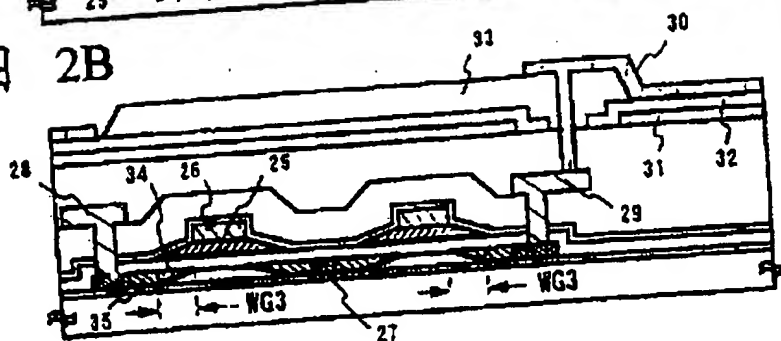


图 2C

981127

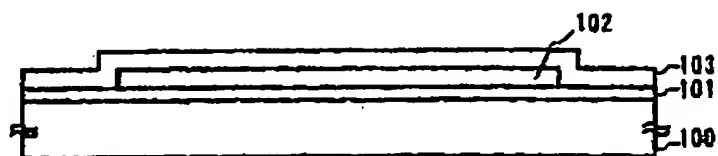


图 3A

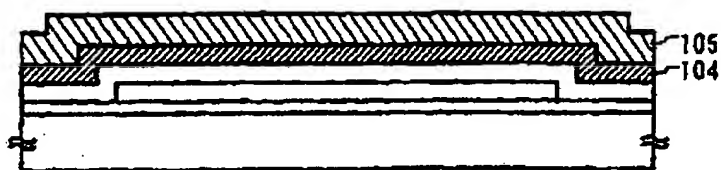


图 3B

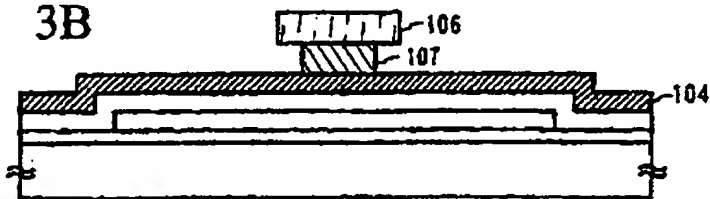


图 3C

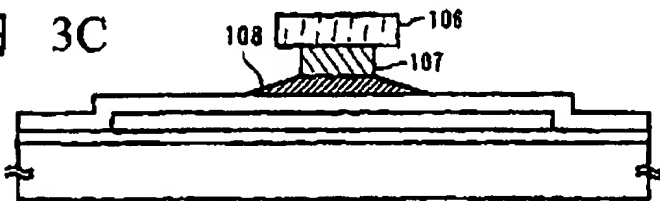


图 3D

99.1.27

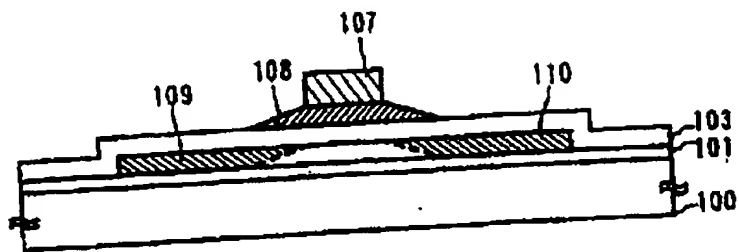


图 4A

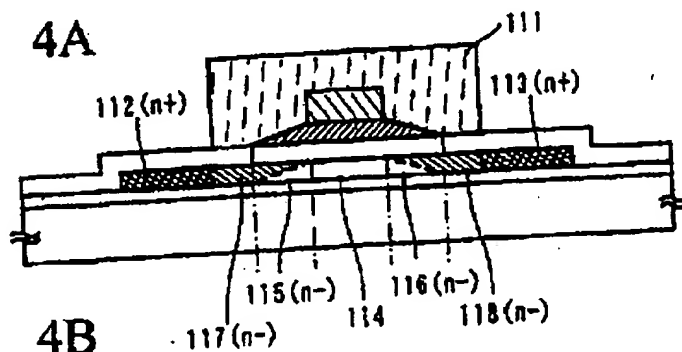


图 4B

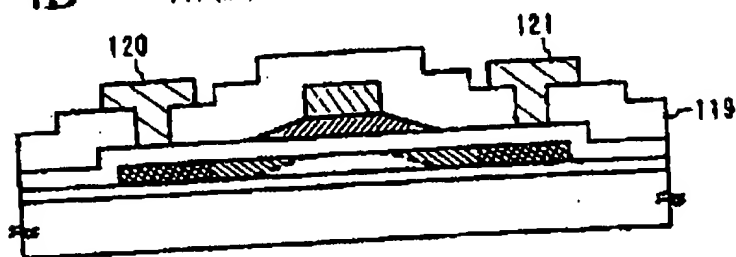


图 4C

99-1127

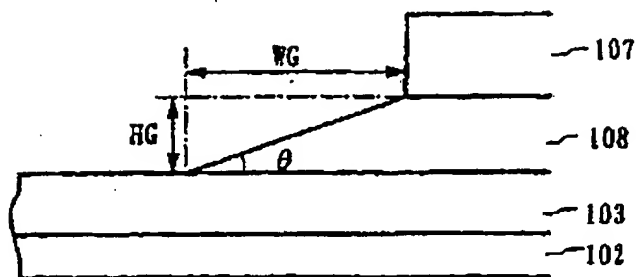
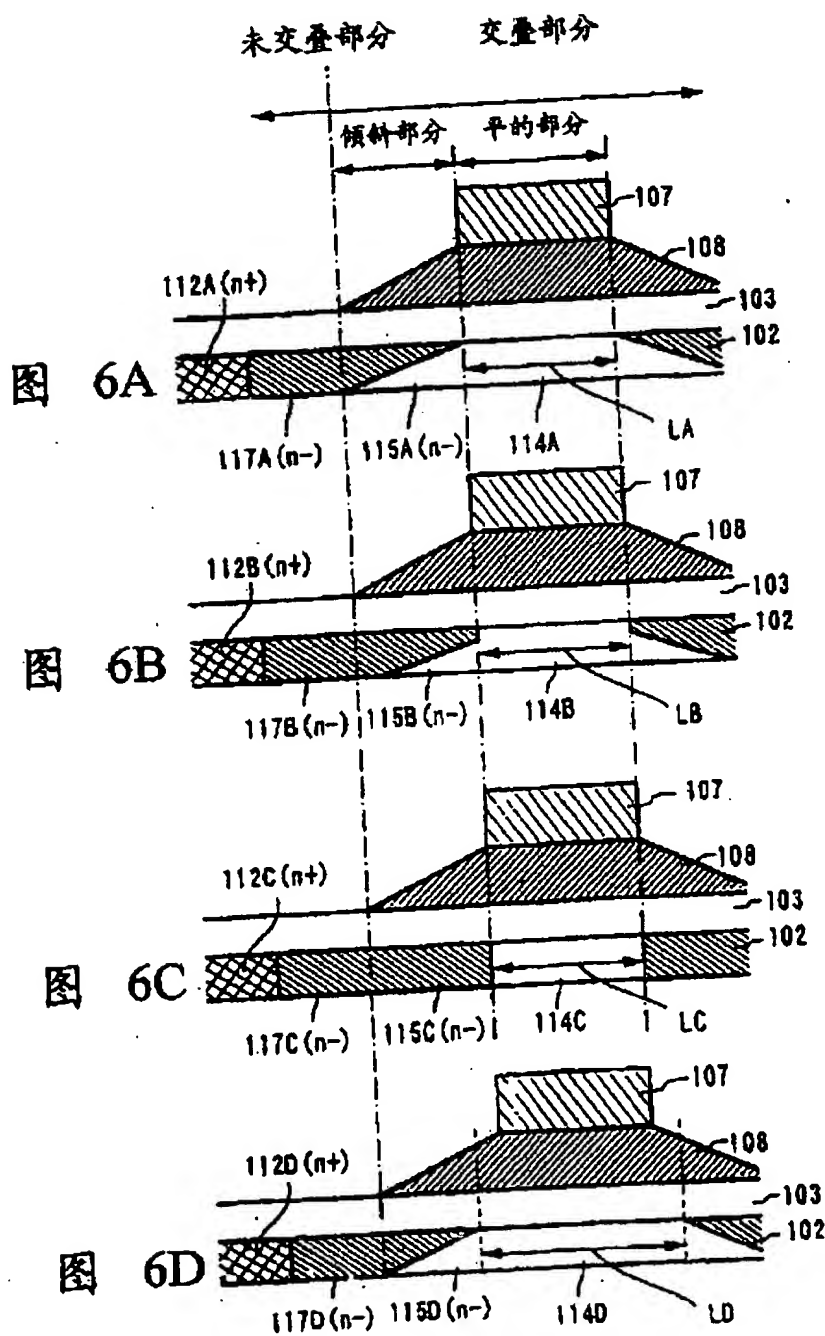


图 5



99.11.27

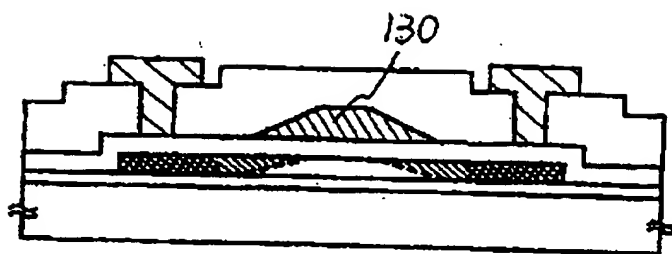


图 7

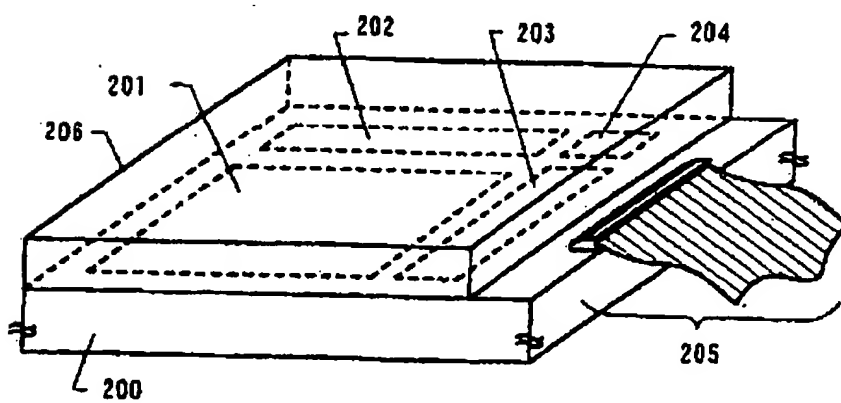


图 8

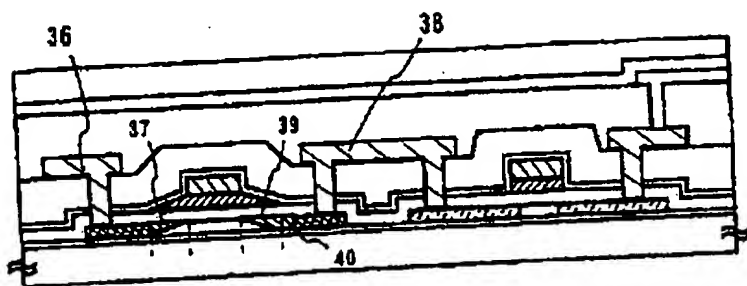


图 9A

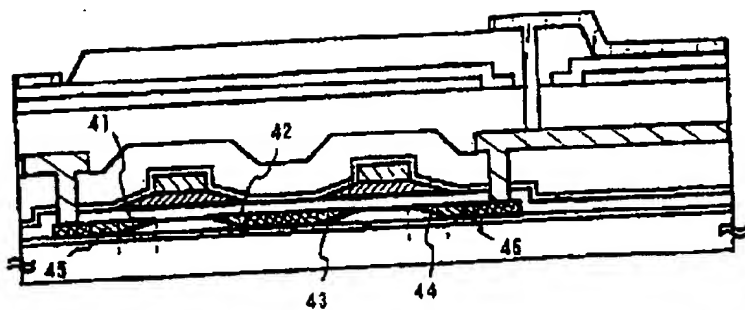


图 9B

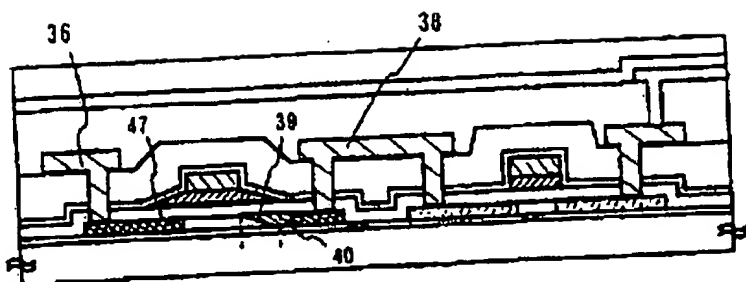
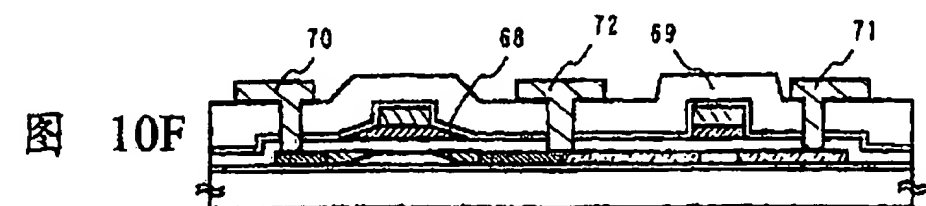
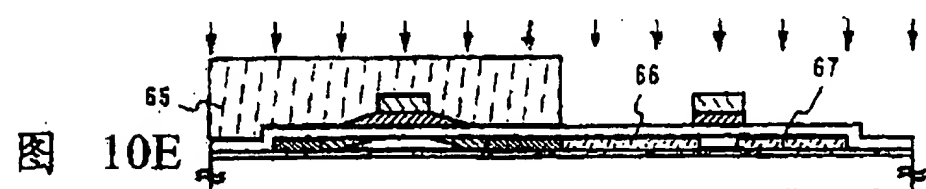
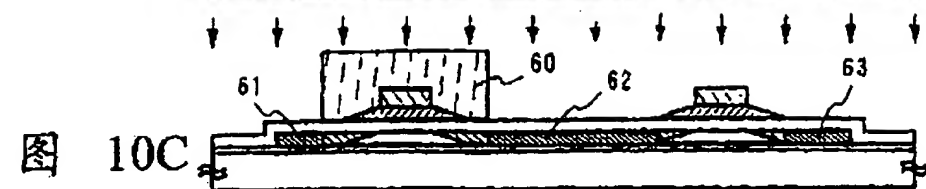
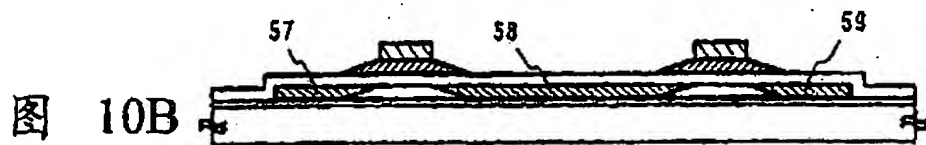
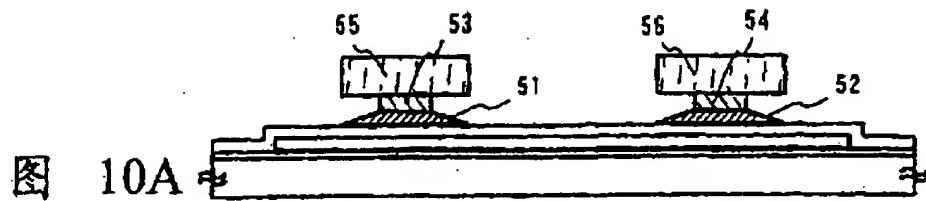


图 9C



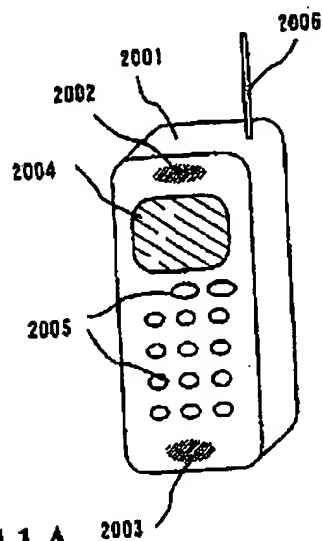


图 11A

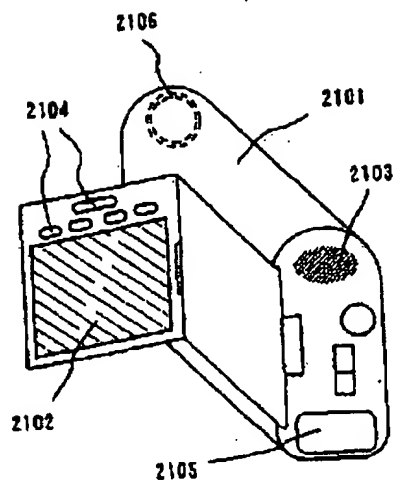


图 11B

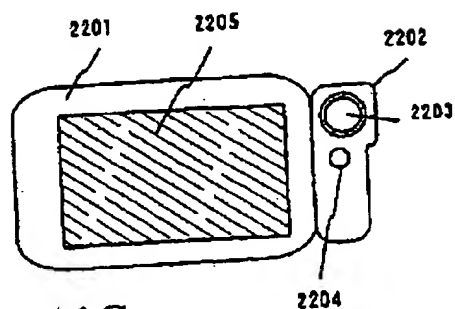


图 11C

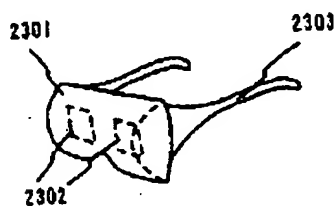


图 11D

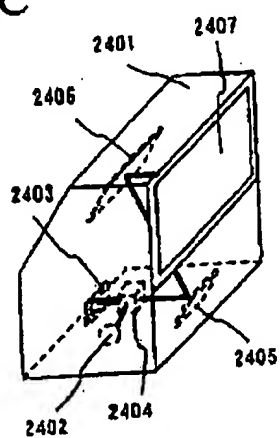


图 11E

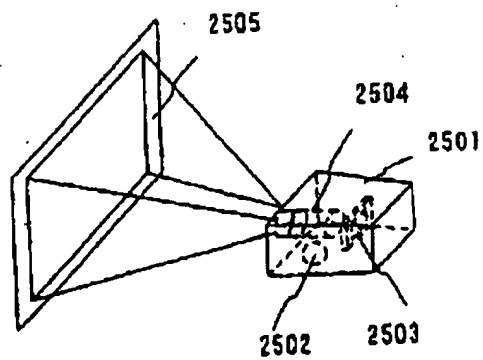


图 11F

倾斜0度

等离子体掺杂, 加速电压110kV,
剂量 $1E 15/cm^2$, 作为单和双磷形式

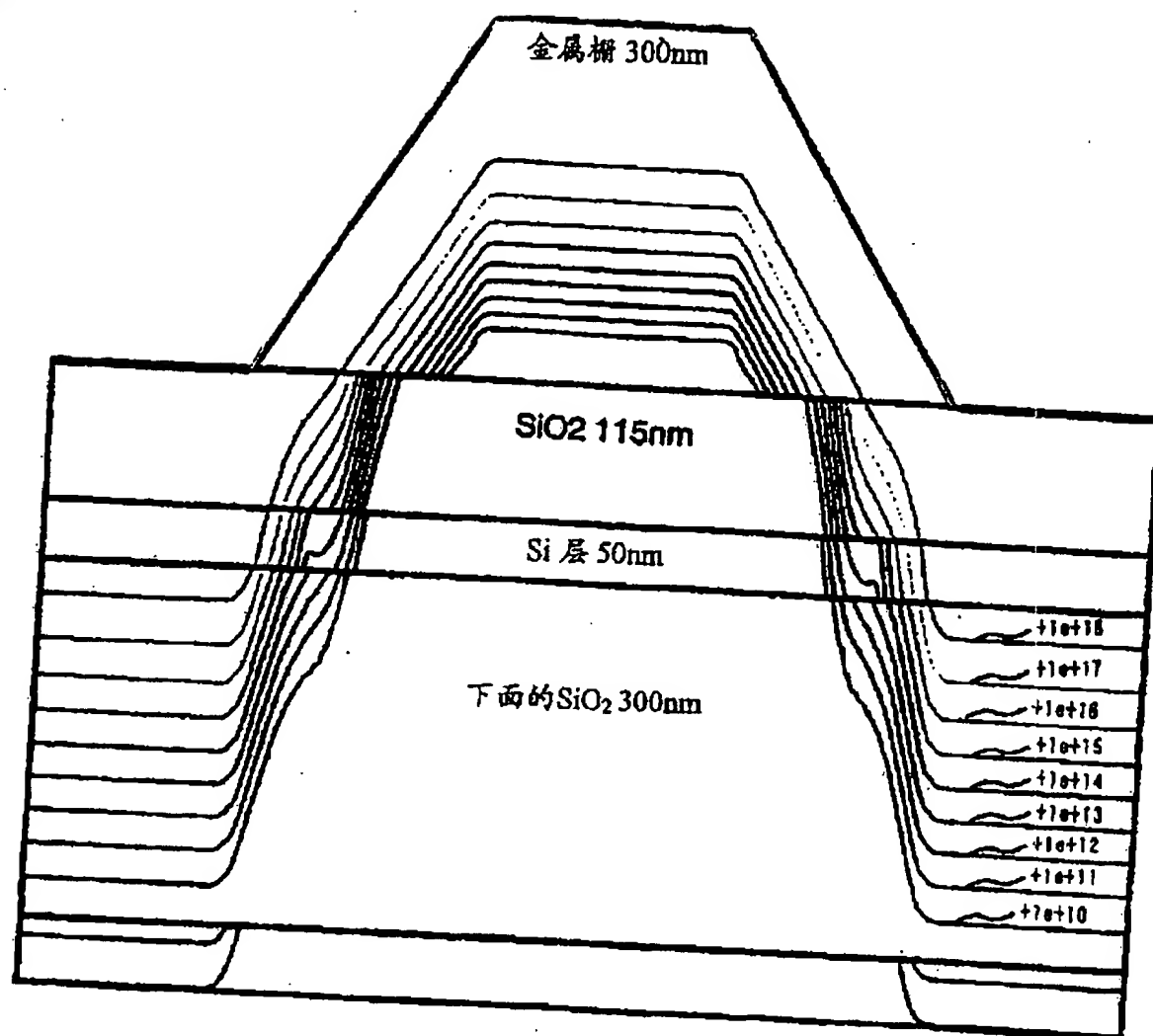


图 12

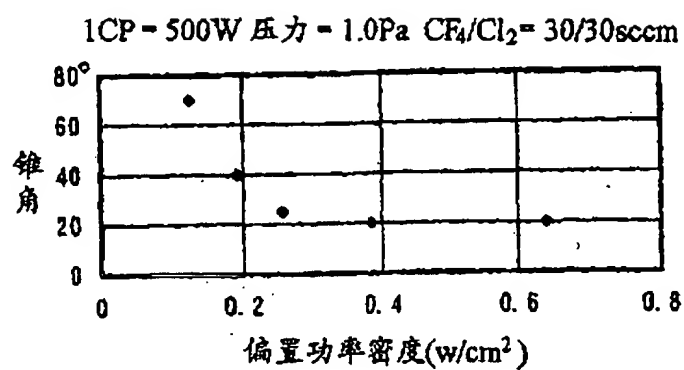


图 13

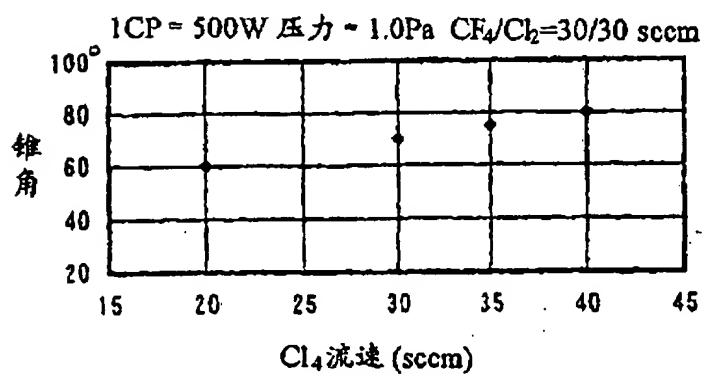


图 14

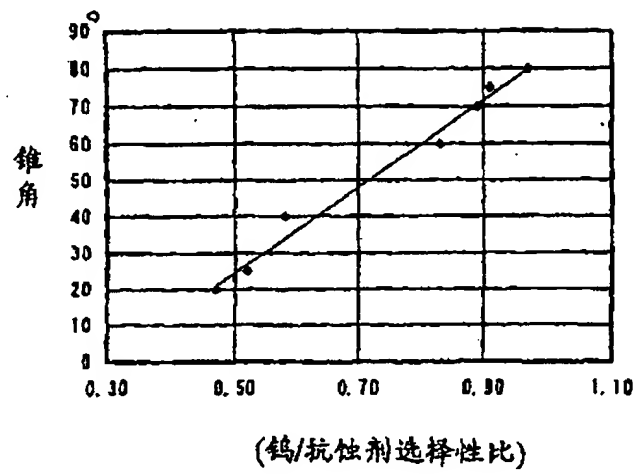


图 15

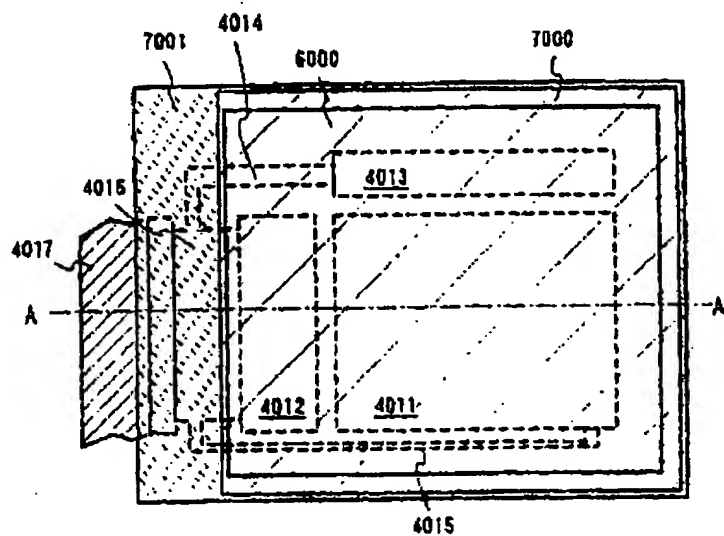


图 16A

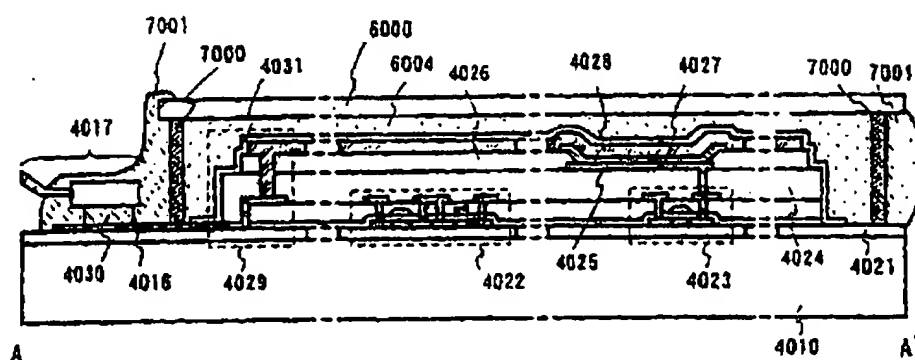


图 16B

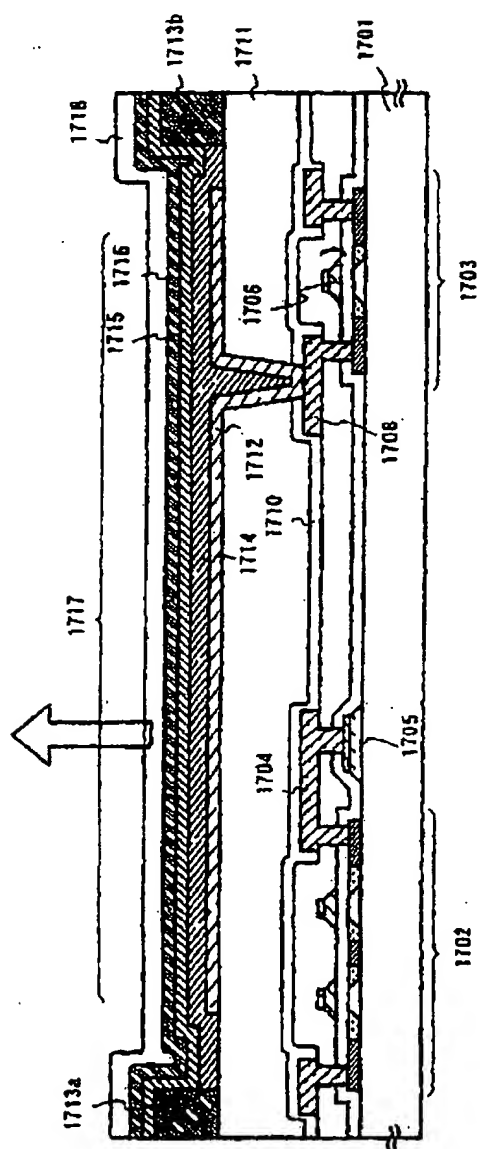


图 17

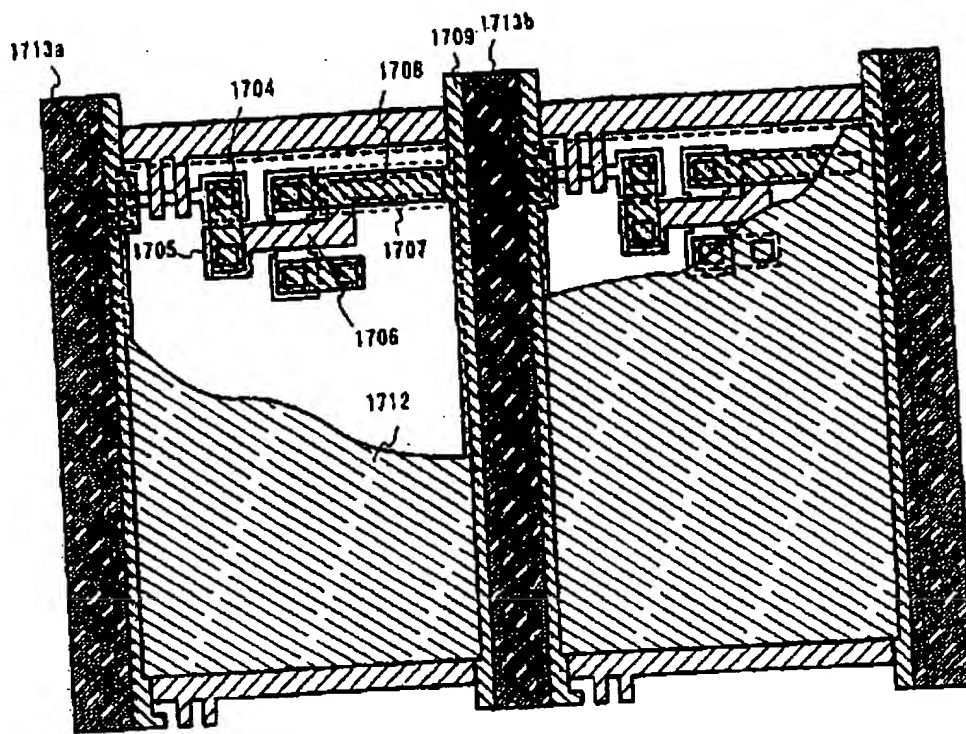


图 18A

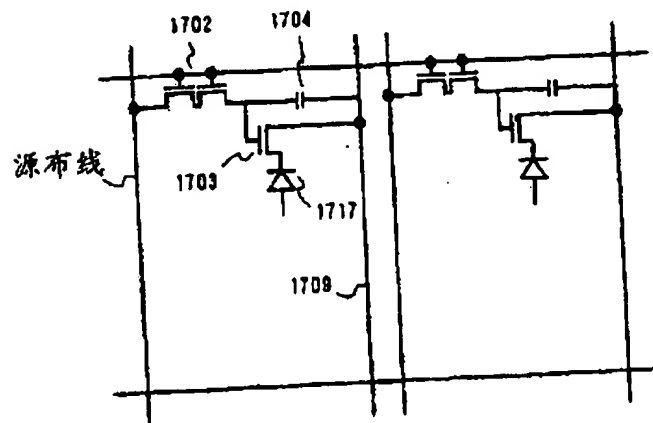


图 18B

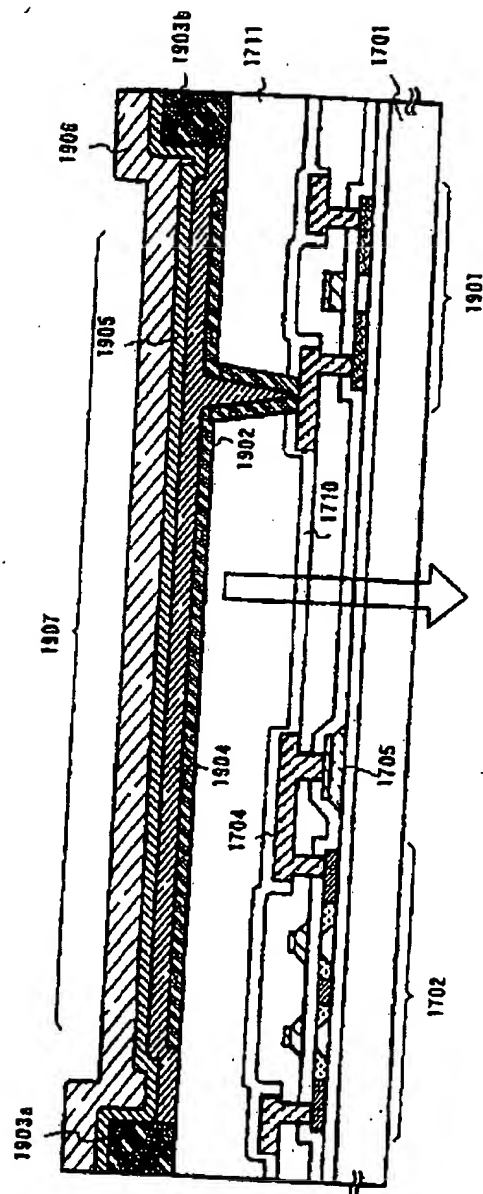


图 19

图 20A

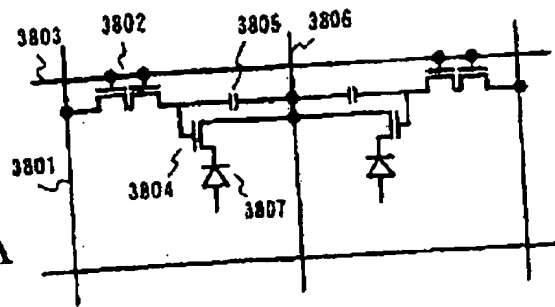


图 20B

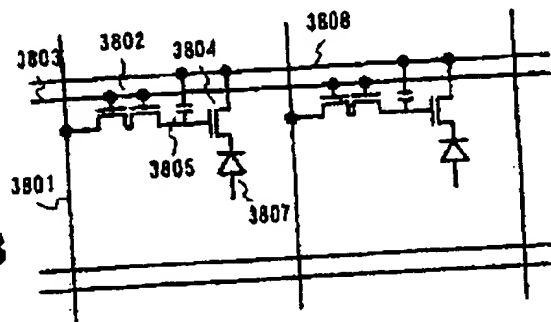
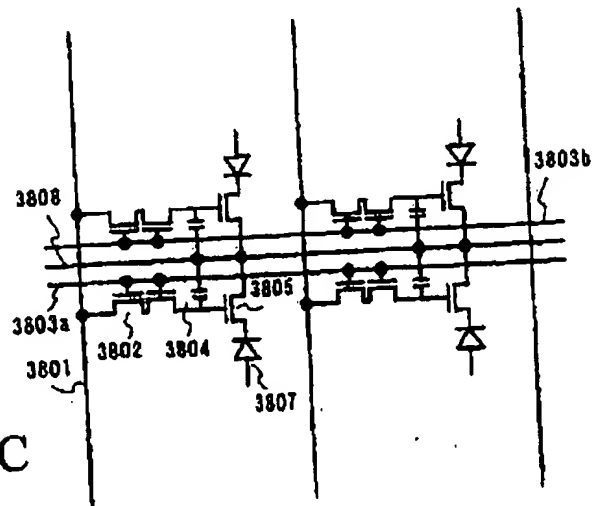


图 20C



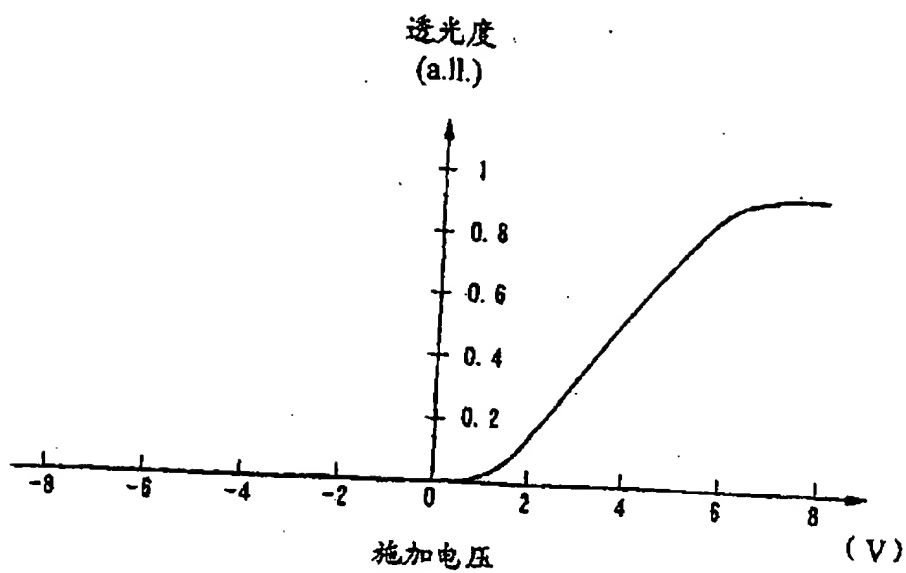


图 21

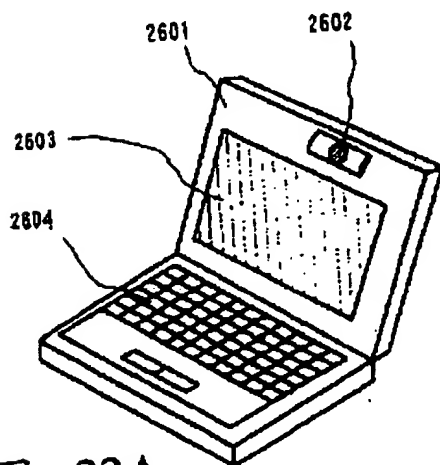


图 22A

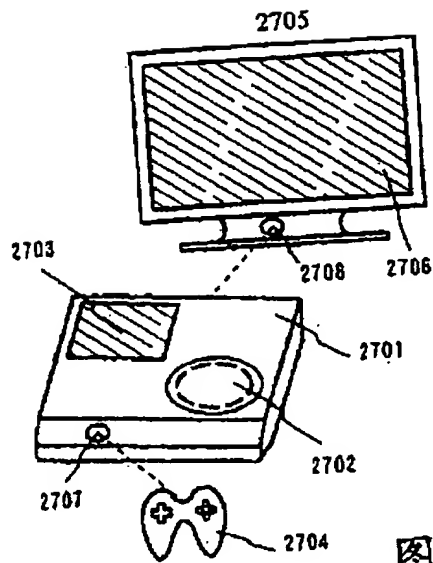


图 22B

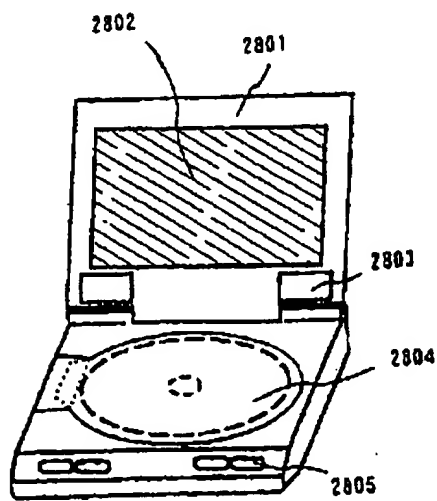


图 22C

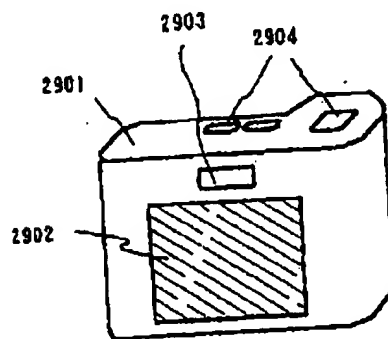


图 22D

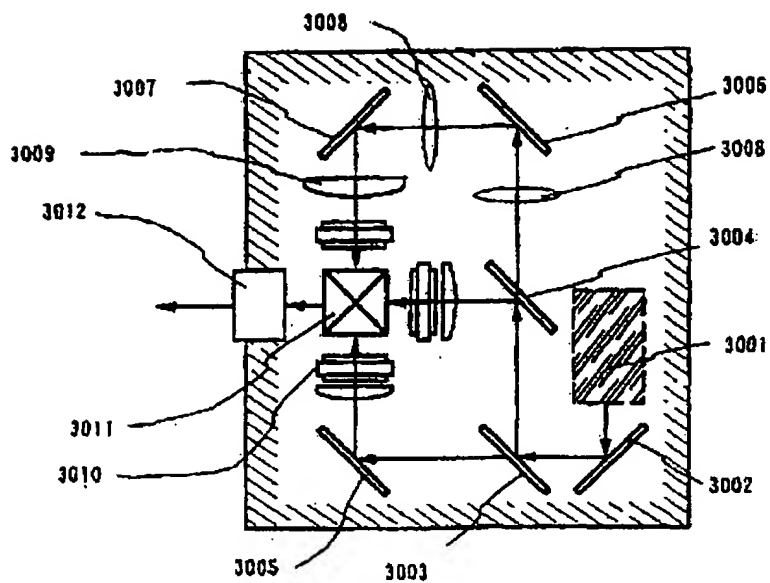


图 23A

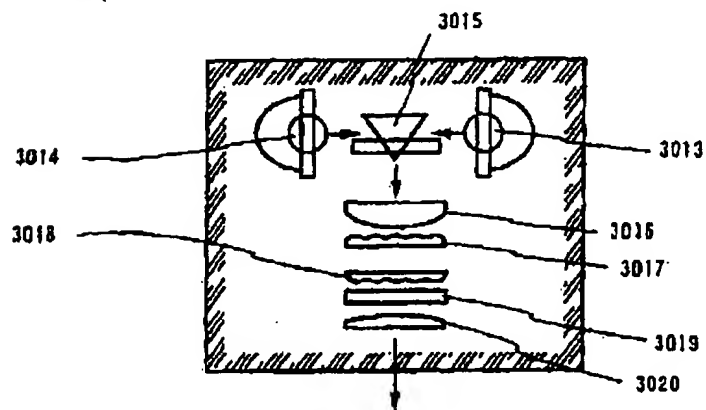


图 23B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.